



TITLE:

強誘電体を用いたシリコン集積回路の高機能化に関する研究(  
Dissertation\_全文)

AUTHOR(S):

藤森, 敬和

---

CITATION:

藤森, 敬和. 強誘電体を用いたシリコン集積回路の高機能化に関する研究. 京都大学, 2005, 博士(工学)

ISSUE DATE:

2005-03-23

URL:

<https://doi.org/10.14989/doctor.r11662>

RIGHT:

強誘電体を用いたシリコン集積回路の  
高機能化に関する研究

藤森 敬和

# 強誘電体を用いたシリコン集積回路の 高機能化に関する研究

藤森 敬和

# 概要

本論文は、シリコン集積回路を高機能化することを目的として、強誘電体を用いた不揮発性メモリの材料および容量形成プロセスの検討(第3章および第4章)と、強誘電体を論理演算回路に応用する手法(第5章)を検討した結果をまとめたものである。

第1章は序論であり、背景と強誘電体メモリの特長と現状を述べ、本研究の目標と方針を明らかにする。メモリに関しては、スケーリング則に従い微細化が可能なFET型強誘電体メモリの開発を選択する。また、論理演算回路に強誘電体を適用する意義を示す。

第2章では、強誘電体に特徴的な性質や物性について述べ、成膜法の特徴や、電気的特性の評価方法を明確にする。

第3章は、FET型強誘電体メモリの高性能化を目的とし、このデバイスに適した強誘電体材料の開発を行う。初めに、強誘電体材料の検索を行った。シリコン上に直接強誘電体を形成することはシリコンと強誘電体の界面での準位形成やシリコンの酸化の抑制が困難であるため、近年では、シリコンと強誘電体の間に誘電体や誘電体と金属を組み合わせたバッファ層を用いる手法が一般的になっている。しかしながら、バッファ層を利用すると、強誘電体とバッファ層の容量が直列接続になるので、強誘電体とバッファ層の容量の間で電圧分割が生じる。一般に、強誘電体の比誘電率はバッファ層となる常誘電体のそれと比較すると非常に大きい。そのため、デバイスに印加した電圧のうち、強誘電体にかかる電圧は非常に小さくなり、分極反転を起こすことが困難となる。この課題を克服するためには、強誘電体の誘電率を低くすることが重要である。また、分極反転に必要な電界である抗電界が小さなことも大切である。これらの物性値を各種強誘電体について比較した結果、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系強誘電体など何種類かの候補に絞られた。FET型強誘電体メモリとしてシリコン集積回路に適用するためには、シリコンのソース・ドレイン活性化アニールなどの高温プロセス中でも結晶構造等が変化しない高融点の材料が望ましい。また、強誘電体は配線工程で還元雰囲気さらされるが、その際、還元されて特性が劣化しないことが重要である。このためには、金属酸化物の生成エネルギーの大きな元素を構成元素とした材料が適している。最後に強誘電体のキュリー温度についても考慮した。デバイスは使用温度範囲で動くだけではなく、デバイスの加速試験を行うために使用温度より広い範囲で動作する必要がある。そのためには使用する強誘電体のキュリー温度は $250^\circ\text{C}$ 以上であることが求められる。これらの条件をすべて満たす $\text{Sr}_2\text{Nb}_2\text{O}_7$ 強誘電体を選択した。この材料はバルクでは強誘電性が確認されているが、薄膜での報告例は存在していなかった。

成膜は組成の制御性に優れるゾルゲル法で行った。900℃以上のアニール後に  $\text{Sr}_2\text{Nb}_2\text{O}_7$  結晶が生じていることを確認した。しかし、電気的特性の評価から強誘電性は確認できなかった。この材料のキュリー点は 1300℃以上と報告されている。半経験的にキュリー温度が高すぎると、強誘電性が発現しにくいことが知られており、キュリー点を適当な水準に下げることが試みた。強誘電体メモリで実用化されている PZT ( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ) のキュリー点は 400～600℃程度であるので、このあたりを目標にする。キュリー点を下げのために、キュリー点が -107℃と低い  $\text{Sr}_2\text{Ta}_2\text{O}_7$  とを固溶させる実験を行った。結果、キュリー点が 600℃以下となると予想される  $\text{Sr}_2\text{Ta}_2\text{O}_7$  の固溶量が 70～90% の範囲で強誘電性を確認することができた。この系の強誘電体について、薄膜で強誘電性を確認したのは世界で初めてである。

第 4 章では、第 3 章で開発した STN ( $\text{Sr}_2(\text{Ta}, \text{Nb})_2\text{O}_7$ ) 強誘電体薄膜を使い、FET 型強誘電体メモリの一種である MFMIS (Metal Ferroelectric Metal Insulator Semiconductor) 構造を作製した。MIS 部分にはシリコン集積回路で使用される信頼性の高い MOS (Metal Oxide Semiconductor) 構造を用いた。MOS の M 層に相当するポリシリコンは STN の電極として使用する Pt との反応性が高く、400℃以上で化合物 (シリサイド) を形成してしまう問題があった。ポリシリコンと Pt の間に導電性酸化物である  $\text{IrO}_2$  の拡散バリア層を設けることにより、シリサイドの形成を抑えることができた。また、SIMS により、作製した MIMIS 構造の元素の深さ分布を計測したが STN 強誘電体の構成元素である Sr, Ta, Nb の拡散は見られないことを確認した。また、MFMIS 構造作製後、シリコン集積回路の配線プロセスを行ったが、強誘電体特性の劣化は見られなかった。これは、STN 強誘電体構成元素の酸化物の生成エネルギーが大きく、還元耐性が強いとためだと考えられる。FET 型メモリにおいて、強誘電体の分極に応じたドレイン電流の変化を確認した。STN を用いた FET 型メモリのデータ保持時間を測定したところ、およそ 2 週間の保持を確認した。FET 型強誘電体メモリで問題になるデータ保持時間について、強誘電体を流れるリーク電流による電荷流出のモデルをたてたところ、実測結果を良く表すことができた。このモデルを使うことで、10 年間のデータ保持を実現するためには、リーク電流を 2 桁向上させる必要があるという指針を得た。

第 5 章では、強誘電体の論理演算回路への応用を提案した。論理演算回路では、処理速度が最も重要であるので、残留分極が大きい強誘電体が適している。また、メモリと異なり、冗長回路による救済ができないことや、書き換え回数も多く ( $10^{15}$  回以上) 要求されることから、既存の高信頼性 PZT 薄膜に対して、書き換え回数を伸ばし、論理演算回路に適用できるように低電圧化 (5V → 3V) することにした。はじめに、PZT の結晶化雰囲気を減圧にすることで、PZT 薄膜の結晶化温度が下がり、Pb 抜けが抑えられるため、疲労特性が  $10^8$  回から  $10^{10}$  回以上へと大きく改善されることを示した。また、PZT の結晶化プロセスで発生していた表面の異相を無くすため、上部電極を形成した後に PZT の結晶化を行う 2 段階アニールプロセスを

行った。結果、PZT と上部電極界面にあった異相が無くなり、3V 以下の電源電圧で動作する強誘電体キャパシタが作製可能となった。

$10^{15}$  回以上の疲労特性を評価するため、疲労特性の温度依存性や電界依存性を評価した。疲労特性は電界により加速されることを確認した。高電界で測定した疲労特性から、作製した論理演算回路用 PZT 薄膜の疲労特性は、使用する電圧(3V)では  $10^{15}$  回以上の書き換え耐性を持つことを証明した。

次に、論理演算回路内の順序回路やレジスタに保持されているデータを、電源供給が無くても保持できるようにすることを目標とした。これが実現すれば、論理演算回路においても頻繁に電源をオンしたりオフしたりできるため、消費電力を低く抑えることができる。ここでは、論理演算回路内のデータ保持装置であるラッチを不揮発にする方法を提案した。不揮発のラッチがあれば、フリップフロップやレジスタなど他の論理演算回路中の記憶・順序回路を不揮発にできる。通常のラッチに 2 つの強誘電体キャパシタと 1 本の制御信号を追加することで、ラッチを不揮発にすることが可能であることを、回路シミュレーションや実際のデバイス試作により確認した。

最後に、論理演算素子と記憶素子を、強誘電体の論理演算機能を用いて、少ない素子で実現する機能パスゲートを提案した。強誘電体による演算が実現できていることを作製したデバイスの評価で確認した。また、論理演算回路において重要な非破壊読み出しも、強誘電体キャパシタを 2 つ相補的に用いることで、実現できた。提案する機能パスゲートを用いることで、連想メモリは、1/3 という小さな面積で、平均消費電力約 1/200 で実現できることを証明した。

第 6 章は結論であり、本論文の結果をまとめている。また、今後の課題として、強誘電体メモリと強誘電体を用いた論理演算回路についての課題を挙げ、今後の研究の目標と方向性を示している。

## 謝辞

本論文をまとめるに当たって、終始懇切かつご丁寧なご指導をいただき、数多くの貴重なご助言を賜りました、京都大学大学院工学研究科電子工学専攻の石川順三教授に心から感謝の意を表します。同 電子工学専攻の松重和美教授、鈴木実教授には、多くの貴重なご助言、ご指導をいただき、深く感謝いたします。

本研究は、筆者がローム株式会社において実施したものであり、本研究の機会を与えていただいたローム株式会社に心より感謝いたします。本研究を遂行するにあたり、常日頃から暖かくご支援、ご指導いただきましたローム株式会社 研究開発本部 高須秀視取締役本部長、同本部 神澤公統括部長、ローム・アポロデバイス株式会社 重松康弘部長に深く感謝申し上げます。

本研究を遂行する過程で絶えずご指導、ご助言いただきました、奈良先端科学技術大学院大学 塩寄忠教授、東京工業大学 石原宏教授、大阪大学基礎工学部 奥山雅則教授、東北大学 亀山充隆教授、東北大学 電気通信研究所 羽生貴弘教授、大阪府立大学 藤村紀文教授、兵庫県立大学 清水勝助教授に心から感謝申し上げます。

本研究のため、こころよく原料の提供とご助言をいただいた三菱マテリアル株式会社 総合研究所 小木勝実室長ならびに研究所の方々に心から謝意を表明します。

ローム株式会社 新材料デバイス研究開発センターの中村孝課長には、本研究の全期間に渡って、実務面での貴重なご助言、懇切丁寧なご指導をいただきました。ここに、深く感謝申し上げます。常日頃より惜しみないご討論をしていただき、貴重なご助言をいただきました、ローム株式会社 VLSI 製造部 小澤孝典技術主査、干場一博技術主査、当社 LSI 先端デバイス開発部 鮫島克己技術主査、中尾雄一係長、泉直希技術主査、当社 新材料デバイス研究開発センター 淵上貴昭技術員、木村啓明氏、ローム浜松株式会社 中村智史技術主査に深く感謝の意を表します。

本論文を完成するにあたり、ここまで私を育てていただいた両親と、陰ながら支えてくれた妻詠美子にこころより感謝いたします。

紙面の関係で割愛させていただきましたが、本研究は、以上の方々の他にも、多くの方のご協力とご支援のもとに遂行されました。ここに改めて、これらの方々に心から厚く御礼を申し上げます。

# 目次

概要	i
----	---

謝辞	iv
----	----

## 第 1 章 序論 ..... 1

1.1 シリコン集積回路.....	1
1.2 強誘電体メモリ.....	4
1.2.1 キャパシタ型強誘電体メモリ.....	5
1.2.2 FET 型強誘電体メモリ.....	6
1.3 強誘電体の論理演算回路への応用.....	9
1.4 本研究の目的と論文の構成.....	11
参考文献.....	15

## 第 2 章 強誘電体薄膜の作製と評価..... 17

2.1 強誘電体メモリに用いられる強誘電体材料.....	17
2.2 強誘電体薄膜の作製方法.....	19
2.2.1 各種成膜法の紹介.....	20
2.2.2 ゴルゲル法.....	23
2.3 強誘電体薄膜の評価方法.....	26
2.3.1 強誘電体薄膜の電気的特性評価.....	26
参考文献.....	30

## 第 3 章 低誘電率強誘電体材料の開発..... 31

3.1 FET 型強誘電体メモリの問題点と適する強誘電体材料.....	31
3.1.1 誘電率.....	31
3.1.2 キュリー温度.....	36
3.1.3 リーク電流特性.....	36
3.2 FET 型強誘電体メモリ材料としての $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系材料.....	37



3.2.1 高温耐性 .....	38
3.2.2 還元耐性 .....	38
3.3 ゼルゲル法による $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系薄膜の作製 .....	40
3.3.1 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 薄膜の作製と問題点 .....	40
3.3.2 Ta 置換した $\text{Sr}_2(\text{Nb,Ta})_2\text{O}_7$ 薄膜による強誘電性発現 .....	44
参考文献 .....	56

## 第 4 章 FET 型強誘電体メモリの作製と評価 ..... 57

4.1 MFMIS 構造の作製 .....	57
4.2 メモリの電气的特性 .....	61
4.3 データ保持時間についての考察 .....	67
4.3.1 10 日以上のデータ保持特性の確認 .....	68
4.3.2 データ保持時間の考察とより長時間保持への指針 .....	71
参考文献 .....	77

## 第 5 章 PZT 強誘電体を用いた論理演算回路の提案と作製 ..... 79

5.1 論理演算回路に適した PZT 系強誘電体材料 .....	79
5.1.1 強誘電体の低温形成 .....	81
5.1.2 低電圧動作強誘電体の作製 .....	87
5.1.3 疲労特性試験の加速方法の検討 .....	93
5.2 強誘電体を用いた論理演算回路の不揮発化 .....	97
5.2.1 不揮発性ラッチの提案 .....	97
5.2.2 不揮発性ラッチ回路の作製と評価 .....	103
5.2.3 不揮発性ラッチのスケーリング .....	108
5.3 強誘電体を用いた論理演算回路 .....	109
5.3.1 強誘電体機能パスゲートロジックの提案 .....	113
5.3.2 機能パスゲートの作製と評価 .....	119
5.4 今後の課題と展望 .....	125
参考文献 .....	127

## 第 6 章 結論 ..... 129

6.1	本論文の結果のまとめ.....	129
6.2	今後の課題 .....	131
6.2.1	強誘電体メモリ .....	131
6.2.2	強誘電体を用いた論理演算回路 .....	132
	本研究に関する業績 .....	133

# 第1章 序論

## 1.1 シリコン集積回路

パーソナルコンピュータや携帯電話などの情報機器は著しく普及し、これらの端末で扱う情報量は増大し続けている。また、テレビを中心として、電子レンジ、冷蔵庫、洗濯機といった家電製品も、急速にネットワークに組み込まれ、デジタル制御化され、多くの情報をやり取りすると予想されている。このような情報家電は、今後急速に市場を拡大し、日本の産業の牽引役になると期待されている。さらに、携帯電話に代表されるような、情報端末のモバイル化が拡大し続けており、また、電子マネー、クレジットカード、鉄道の乗車券などは、セキュリティ性の高い IC チップを搭載したカードが実用化されつつある。

これらの商品には、LSI(Large Scale Integrated circuit)と呼ばれるシリコン集積回路が大量に使用されている。このため、商品の付加価値の大半がシリコン集積回路の機能と性能によって決まるという傾向は、今後ますます強くなっていくと考えられる。シリコン集積回路を高機能化し、その性能を向上していくことは、日本の産業発展にとって重要なことである。

モバイル機器においては、処理速度等の性能もさることながら、機器の小型軽量化と、充電無しで使用できる時間を示すバッテリー寿命を延ばすことが強く要求されている。機器の低消費電力化は、バッテリー寿命を延ばし、携帯するバッテリーの大きさも小さくできることから、最重要課題である。モバイル機器に搭載するメモリには、低消費電力性ととともに、バッテリーの電力が途絶えたときのデータ保護の目的で不揮発性も要求されている。これら低消費電力の不揮発性メモリを既存技術の延長上で低価格で実現するには、高機能のロジック回路と不揮発性メモリを混載する必要がある、プロセス開発が難しくなる。モバイル用途においても、メモリ容量の大容量化が求められている。このため、メモリセルの高密度化を実現することによって、チップコストを低減することもきわめて重要な要素である。

既存のメモリと開発中の不揮発性メモリの特徴を表 1-1にまとめる。現在最も利用されているメモリの一つである DRAM(Dynamic Random Access Memory)は、メモリセル面積が小さく、最も大容量化が進んでいるメモリである。しかし、電源供給を絶つと保持している情報が消えてしまう揮発性メモリであるため、情報を保持するためには他の不揮発媒体(不揮発性メモリやハードディスクドライブ)に転送する必要がある。また、電源供給しデータ保持をしている際

にも、リフレッシュ動作を必要とするため、待機時の消費電力も比較的大きくなる。SRAM(Static Random Access Memory)は、コンピュータのキャッシュメモリ等に使われ、DRAM よりも高速動作するものが作製されている。しかし、セル面積が大きく、コストが高くなることが課題である。

表 1-1 各種メモリの仕様

	DRAM	SRAM	FLASH	FeRAM	MRAM	PRAM
保持素子	キャパシタ	トランジスタ	フローティングゲート	強誘電体キャパシタ	磁性体	相変化膜
不揮発性	×	×	○	○	○	○
繰返し耐性 (write/read)	$\infty/\infty$	$\infty/\infty$	$10^6/\infty$	$10^{12}/10^{12}$	$10^{12}/\infty$	$10^{12}/\infty$
書込み電圧	低	低	高	低	低	低
write/read時間	50ns/50ns	8ns/8ns	1ms/60ns	50ns/50ns	30ns/30ns	?
セル面積	中	大	小	中	?	?

不揮発性メモリとしては EEPROM(Electrically Erasable Programable Read Only Memory) や FLASH メモリといったデバイスが製品化されている[1]。これらは基本的に ROM(Read Only Memory)であり、書き込みに $\mu\text{s}$ 、消去に ms オーダーの時間を必要とする。これは SRAM, DRAM と比較すると3桁以上低速である。また、絶縁膜中にトンネル現象により電流を流すため、書換え耐性が低くなる欠点もある。書換え耐性は $10^6$ 回以下である。

近年、新材料を導入する不揮発性メモリの研究・開発が盛んに行われている。中でも、既に実用化されているのが強誘電体メモリ(FeRAM: Ferroelectric Random Access Memory)である。他の不揮発性メモリとして、強磁性体を用いた MRAM(Magnetoresistive RAM)、結晶状態とアモルファス状態で電気抵抗が変わる合金を用いた PRAM(Phase change RAM)などがある。これらの新材料を導入する不揮発性メモリは、書き込み、読み出し時間が SRAM、DRAM と同じオーダーで、ランダムアクセスが可能な RAM である。この不揮発性と高速ランダム性を同時に有するメモリは、新しい概念であり、大きな期待が寄せられている。高速ランダム性を備えた不揮発性メモリの中で唯一、強誘電体メモリは 1996 年から量産化され、実際に使用され、信頼性のデータも蓄積されている実用化メモリである。現状では、商品化されているメモリ容量が 1M ビット程度までであり、1G ビットが実現されている DRAM や FLASH と比較すると小容量のため、強誘電体メモリの長所を活かした用途で使用されている。

強誘電体メモリがどのようなメモリ市場に入っていく可能性があるのかを図 1.1に示す。超高速が要求される SRAM や、データの書換え頻度が少ないが小さなセル面積が要求される

NAND FLASH のような分野のメモリを置き換えることは難しいと考えられる。しかし、強誘電体メモリはこのような特殊な用途以外の分野では、ほぼすべての既存半導体メモリを置き換える可能性をもっていると考えられる。また、低消費電力で高速動作の不揮発性メモリという新しいメモリの誕生は、それ自体新しい市場を切り開いてゆく可能性をもっている。即ち、これまで半導体メモリでは不可能だった分野でも強誘電体メモリを用いることによって実現できることも少なくはないと考えられる。

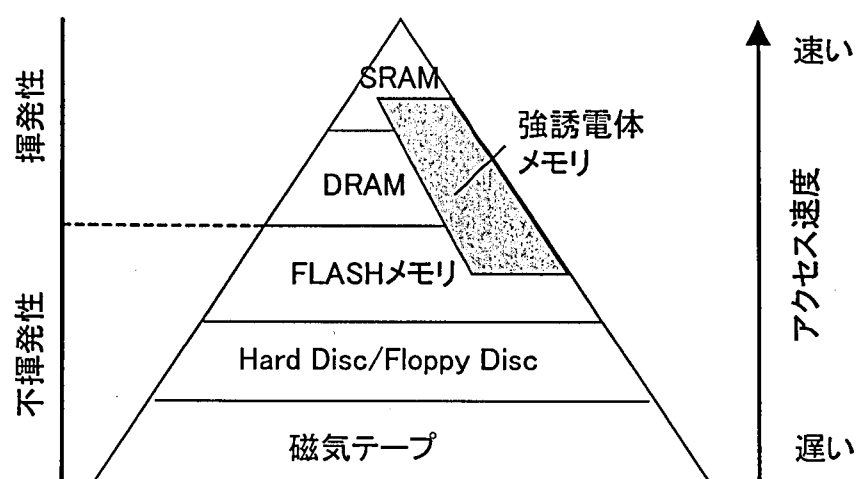


図 1.1 メモリの階層構造と強誘電体メモリの市場性

これまで、不揮発性メモリという観点では、10 年のデータ保持が必須と考えられ、実際に、実用化されている FeRAM も 10 年のデータ保持を保障している。しかしながら、10 年のデータ保持というのは、10 年間データが書換えられないことを想定しており、高速ランダムアクセス可能な特長を生かせないことになる。また、一般家庭でも長期のデータ保存には、DVD(Digital Video Disc)のような光ディスク媒体や HDD(Hard Disc Drive)を使用し、半導体メモリを使うことは、コストの点から稀である。つまり、これまで、強誘電体メモリを含めた不揮発性 RAM の研究開発は、すべてのメモリの長所をすべて兼ね備えた「究極のメモリ」を目指して行われてきたが、現実にはすべてのメモリを置き換えるようなメモリは実現できていない。つまり、長期のデータ保持時間を保証するよりも、強誘電体メモリの低消費電力性と、高速ランダムアクセス可能な不揮発性 RAM としての特長を活かすことに注力する戦略も存在する。本論文では、不揮発性 RAM のデータ保持時間の目標値を、DRAM のリフレッシュ時間よりも十分に長く、人のライフサイクルにあわせ 1 日や数日に一度のデータリフレッシュは許容するという観点から、10 日に設定した。図 1.2 に各種メモリのデータ保持時間を示す[2]。この 10 日というデータ保持時間の目標は、1999～2004 年にかけて経済産業省が出資・補助を行っ

た大学連携型産業科学技術プロジェクトである「次世代強誘電体メモリの研究開発」の目標と同じ長さである[3]。

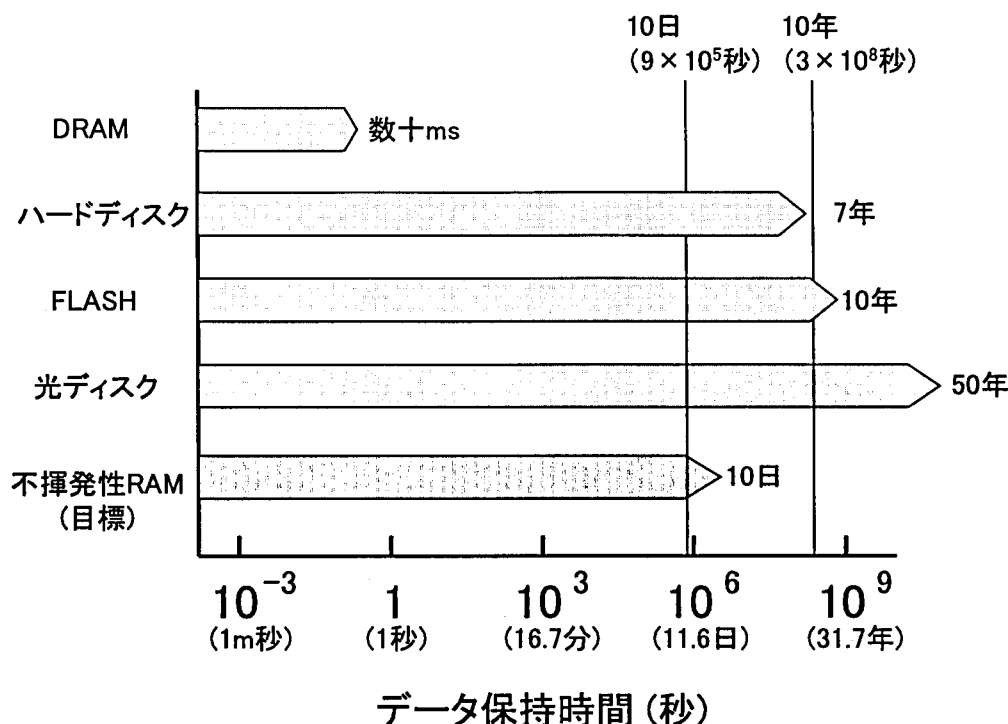


図 1.2 各種メモリのデータ保持時間と不揮発性 RAM の目標値

## 1.2 強誘電体メモリ

強誘電体メモリの方式には、大きく分けて 2 種類ある。1つは、キャパシタ型強誘電体メモリといい、強誘電体キャパシタの残留分極によって 2 値情報を保持し、抗電界以上の電界印加による分極反転を利用して、書き換え、読み出しを行うものである。キャパシタ型強誘電体メモリは 1980 年代に米ラムترون社[4]、米クリサリス社 (現米ナショナル・セミコンダクター社)[5] 等が提唱した方式のものであり、現在、実用化されているのはこのタイプのメモリである。セル構造は DRAM と似ていて、1 つの強誘電体キャパシタと 1 つの選択トランジスタで構成される。したがって、キャパシタ型強誘電体メモリを 1T1C 型強誘電体メモリと呼ぶことも多い。この構造では強誘電体プロセスと CMOS プロセスを厚い SiO<sub>2</sub> 絶縁膜で分離することができる。そのため、強誘電体キャパシタ形成の際の CMOS への影響を最小限に抑えることができ、これまでシリコン集積回路で培ってきた CMOS トランジスタプロセスをほぼそのまま適用できたため、実用化が可能になったといっても過言ではない。

もう一つは、本研究の前半で取り上げるFET(Field Effect Transistor)型強誘電体メモリである。FET のゲート部に強誘電体キャパシタを配置した構成である。このタイプは強誘電体の残留分極を利用して半導体の抵抗を変化させるものである[6]。このタイプのメモリの代表的なものに MFS FET(Metal Ferroelectric Semiconductor FET)がある。MFS FET は 1970 年代に日本電気(株)[7]、米 Westinghouse 社[8]等が提唱しているメモリで、MOS FET のゲート絶縁膜に強誘電体を用いることにより、その残留分極を利用して半導体表面の伝導度を制御するものである。この構造は非破壊読み出しが可能であるという特徴を持つが、Si と強誘電体との整合性の問題で実用化がなされていなかった。

### 1.2.1 キャパシタ型強誘電体メモリ

キャパシタ型強誘電体メモリは現在の強誘電体メモリ開発の中心となっている構造で、DRAM のキャパシタに強誘電体キャパシタを用いることで不揮発性を付加するものである。第 5 章の論理演算回路への強誘電体の応用においては、キャパシタ型の原理を利用している。図 1.3にキャパシタ型強誘電体メモリセルの構造図を示す。一般的な MOS FET の上に厚い層間絶縁膜を介して強誘電体キャパシタが形成され、キャパシタと FET のソースが接続されている。メモリセルの回路図は図 1.4のようになる。選択するメモリセルに繋がるワードラインに電圧をかけて選択トランジスタを ON にする。ビットラインとプレートライン間にパルス電圧を印加することで強誘電体キャパシタの状態を検知する。強誘電体にパルスを加えると、その分極状態によって発生する電荷が異なる。

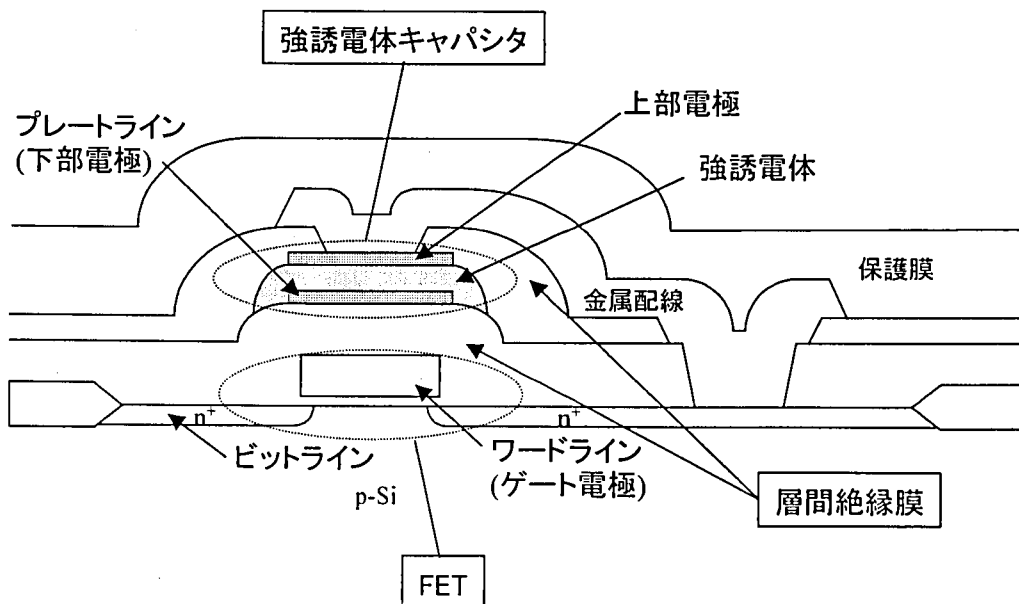


図 1.3 キャパシタ型強誘電体メモリセルの構造図

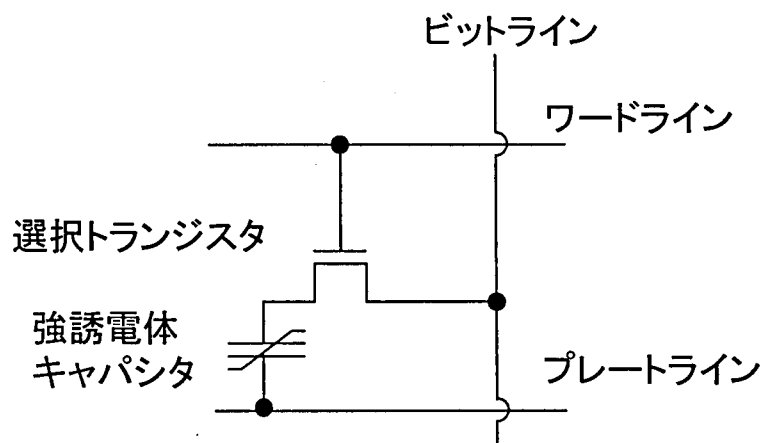


図 1.4 キャパシタ型強誘電体メモリセルの回路図

## 1.2.2 FET 型強誘電体メモリ

FET 型強誘電体メモリの最も簡単な構造である MFS FET は MIS FET(Metal Insulator Semiconductor FET)のゲート絶縁膜に強誘電体を用い、その強誘電体の残留分極による電荷を利用して半導体内部に反転層を形成し、ソース・ドレイン間の抵抗を変化させることによりメモリ効果を得るものである。動作原理を図 1.5により説明する。

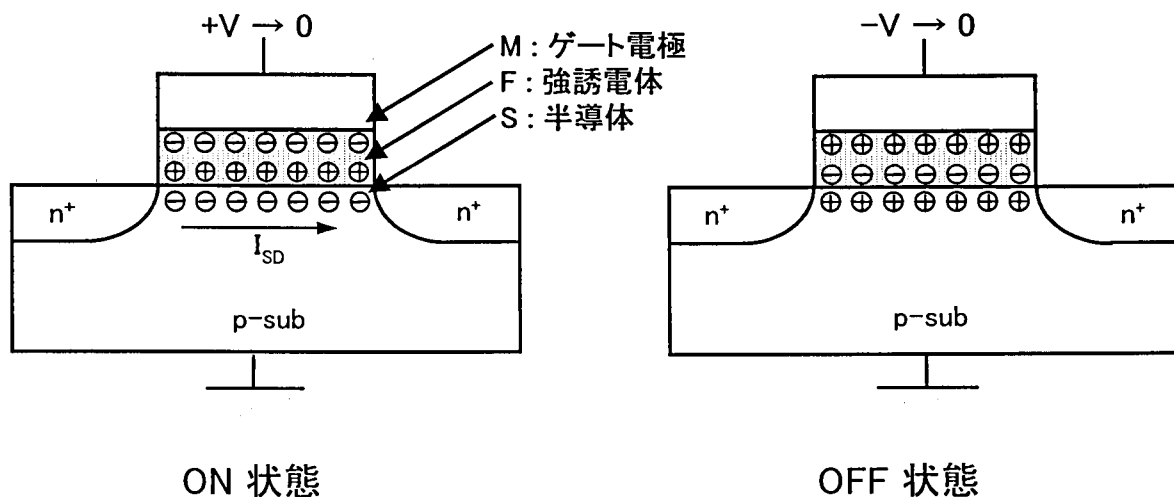


図 1.5 MFS FET の動作原理

n チャネル FET の場合を考える。ゲート電圧に正の電圧(+V)を印加すると、強誘電体の分極は下向きになる。強誘電体下部表面つまり半導体との界面部分には、強誘電体の分極により正の電荷が現れている。そのため、強誘電体分極による正電荷を打ち消すように、半導



体Si中のキャリア(この場合は電子)が界面付近に集まり、反転層を形成し、ソース・ドレイン間は導通状態になる。一方、逆にゲート電極に負の電圧(-V)を印加した場合を考える。強誘電体分極は上向きとなる。電荷を中和するためにSi界面には正孔が引き寄せられ、Si界面に反転層は形成されない。ソース・ドレイン間は遮断状態になるので、これを検出すればゲート電極に印加された電圧の符号を知ることができる。強誘電体分極は、電源電圧を切っても消失しないので、不揮発メモリとして利用することができる。このタイプのメモリの主な利点を列挙する。

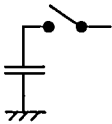
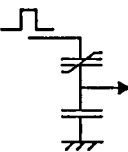
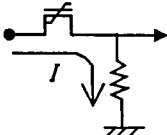
1. LSIの微細化のスケーリング則に準拠する。
2. 強誘電体に大きな残留分極を要求しない。
3. 非破壊読み出しである。

最初に挙げたスケーリング則に準拠することは微細化を進めていく上で重要な指標である。現在、微細化が進んでいるDRAMは、蓄積キャパシタに蓄える電荷量を一定以上に保つ必要があることから、スケーリング則にのらないデバイスであり、メモリセルの微細化を進めると、相対的に蓄積キャパシタのサイズが大きくなっていき、やがて微細化ができなくなると予測される。表 1-2にスケーリングによるメモリの出力信号をまとめたものを示す。それぞれ、xy(横)方向の寸法を  $1/k$ 、z(厚み)方向を  $1/k$ 、電圧を  $1/k$  にした際に、メモリセルの出力信号電圧がどのように変化するかを表しており、通常微細化ではこれら3つを同時に行う(電界一定微細化)。ここで、 $k$ はスケーリング因子である。一般に1世代の微細化では  $k=1.4$  程度が用いられ、長さ方向のサイズが約70%に微細化され、面積がおおよそ半分( $1/k^2$ )となる。キャパシタ型では微細化に伴い、信号出力信号が  $1/k^3$  倍と急速に減少するため、今後微細化していく上で、強誘電体キャパシタを立体構造にし、電荷量を増やす必要に迫られる。FET型の場合、Siに反転層を形成するのに必要なのは、全電荷量ではなく、電荷密度であるため、デバイスの面積を小さくしても特性は変化しない。出力信号電圧は  $1/k$  となるが、これは使用する電源電圧が減少したために生じるもので、検出感度が変化するわけではない。

また、反転層を形成するのに必要な電荷密度は  $1\mu\text{C}/\text{cm}^2$  以下で、キャパシタ型メモリで必要とされる数十  $\mu\text{C}/\text{cm}^2$  と比べると低い。このため、強誘電体材料の選択の幅が広がり、材料起因の信頼性劣化を防ぎ易くなることも考えられる。

さらに、読み出しはソース・ドレイン間の抵抗変化を検知するため強誘電体分極を反転する必要がない。すなわち非破壊読み出し(NDRO: Non-destructive Read Out)が可能である。キャパシタ型のような破壊読み出し型と比べると、再書き込みの手順が必要ないために、高速で低消費電力のメモリとなる。また、読み出しの際に強誘電体の分極を反転しなくても良いため、読み出しの回数制限が無くなるという利点がある。

表 1-2 スケーリングによるメモリセル出力信号強度

メモリ方式	xy方向 $1/k$	z方向 $1/k$	電圧 $1/k$
DRAM方式 	$1/k^2$	$k$ 倍 (薄さ限界に近い)	$1/k$
キャパシタ型FeRAM 	$1/k^2$	不変	$1/k$
FET型FeRAM 	不変	不変	$1/k$

このように FET 型強誘電体メモリはキャパシタ型に対しても大きなメリットを持つにも関わらず、1970 年代に提唱されてから現在まで本格的な実用研究に至らなかった。その理由としてはプロセス上の大きな問題があるためで、強誘電体と半導体との整合性に起因するものである。強誘電体の多くは金属酸化物の結晶体であり、その結晶化には高温での熱処理が必要となる物質が多い。酸化物強誘電体を Si 上に直接成膜しようとするとき強誘電体/Si 界面に  $\text{SiO}_2$  等の不要な膜が生成されてしまう。このような膜が生成されると動作電圧が増大するだけでなく、トラップ準位の発生によりその膜中に電子やイオン等の電荷がトラップされ、残留分極による電荷を打ち消してしまう。また、成膜温度が高いと強誘電体の成分元素が Si 中に拡散し、トランジスタ特性を変えてしまう恐れがある。図 1.6に3種類の FET 型強誘電体メモリのセル構造を示す。(a)の MFS 構造が、最も基本的な素子であり古くから研究されてきたが、前述の Si との良好な界面特性を得るのが難しい。

(b)の MFIS(Metal Ferroelectric Insulator Semiconductor)[9]-[11]は、強誘電体膜と半導体界面を形成する絶縁体を独立に形成するため、MFS 構造では困難であった界面特性の制御がやり易くなる。しかしながら、通常トランジスタのゲート絶縁膜に用いられている  $\text{SiO}_2$  膜は、金属元素に対する拡散バリア性に乏しく、強誘電体の構成元素が半導体界面特性を劣化さ

せてしまう。このため、拡散バリア性と半導体界面特性を両立できるような絶縁体膜を新たに開発する必要がある。

(c)は、MFMIS(Metal Ferroelectric Metal Insulator Semiconductor)構造で[12][13]で、MOS トランジスタのゲート電極と強誘電体キャパシタの下部電極を共通としたメモリセルである。この構造では、MOS トランジスタと強誘電体キャパシタが金属電極で分離されて形成されている。このため、金属電極に拡散バリア性を持たせることで、強誘電体の元素が半導体界面へ移動することを防ぐことができる。また、ゲート絶縁膜に信頼性の高い  $\text{SiO}_2$  を用いることができ、プロセス難易度を下げることができる。

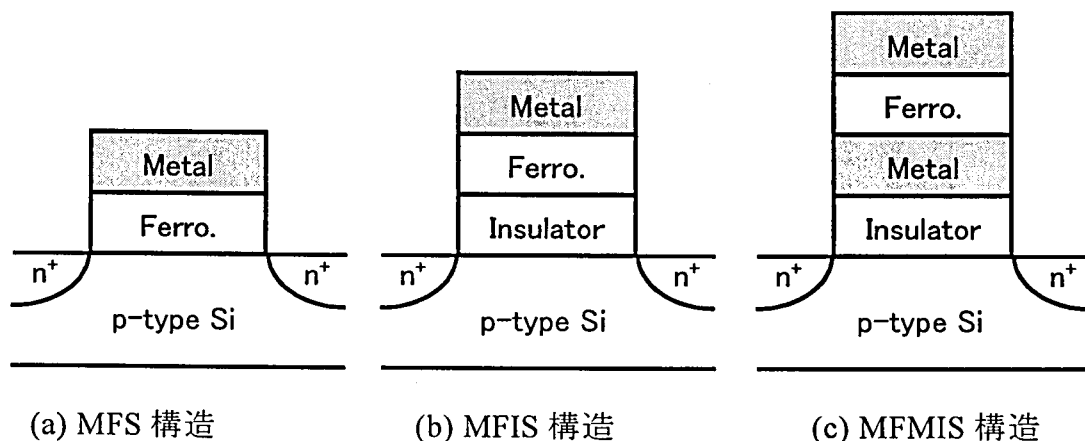


図 1.6 FET 型メモリのセル構造

### 1.3 強誘電体の論理演算回路への応用

シリコン集積回路は、大きく分けてメモリと論理演算回路に分けられる。強誘電体をメモリに適用した FeRAM は多くの機関で研究されてきたが、強誘電体を論理演算回路に適用する研究は、これまでほとんど行われていない。

不揮発性メモリである FeRAM はデータを書換え、読み出しする際には電力を消費するが、データを保持するためには電源供給を必要としない。つまり、長時間データを保持する場合にはメモリへの電源供給を止めれば、電力消費無しにデータ保持が可能である。つまり、不揮発のデバイスは消費電力が小さいことになる。LSI の消費電力は、回路が動作中の時の消費電力である動作電力(active power)と、電源は入っているが中の回路が動作していない時の消費電力である待機電力(stand-by power)の 2 種類がある。不揮発性メモリは、データを保持するだけの間はメモリブロックへ電源を供給する必要がないので、待機電力をほとんど零にすることもできる。図 1.7 に不揮発性を利用した電源オフによる低消費電力化について示す。

データ処理をするために回路が動作中のとき以外は電源をオフにすることで、待機電力を節約することができる。この手法は、回路の使用率が低く、たまにしかデータ処理がない場合に、低消費電力効果が大きい。携帯電話やノートパソコンなどは、データ処理の頻度が低く、電源オフによる低消費電力化は有効な技術である。

しかしながら、電源オフによる低消費電力化がこれまであまり行われてこなかった。理由として、電源をオフにする前に、論理演算回路中に存在する順序回路やラッチ等の保持回路の状態をハードディスクや不揮発性メモリに保存し、再び電源をオンするときに、保存した状態を復帰する必要があることが挙げられる。論理演算回路中に点在する順序回路の状態を取り出すのは困難で、そのための回路と配線と不揮発メモリが必要という難しさがある。

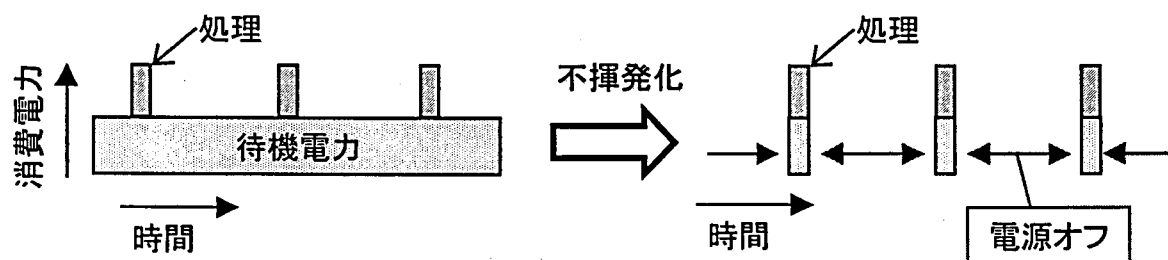


図 1.7 電源オフによる低消費電力効果

そこで、メモリを不揮発化すると共に、論理演算回路についても不揮発化を実現し、頻繁に電源をオン・オフできるようになれば、例えばパーソナルコンピュータの起動時に OS(Operating System)の立ち上げ等に要していた時間が必要なくなり、すぐに前回終了時点から作業を再開できるようになる。

不揮発性を持った論理演算回路素子としては、柴田らの提唱するニューロン MOS[14]や、羽生らの提唱するしきい値演算型フローティングゲートトランジスタ[15]がある。これらは FLASH に使用されるフローティングゲート型 FET を用いているため、ms オーダーの書き込み時間が必要である。そのため、論理演算回路の構成要素として使用するためには、任意の回路を設計することが困難であることが欠点である。したがって、低消費電力で動作し、不揮発性を持つ強誘電体を論理演算回路に適用することは、メモリと論理演算回路が混在する電子機器の消費電力を下げるために意義のあることであるが、強誘電体を論理演算回路に適用する研究はこれまでほとんど行われていない。数少ない研究例としては、FET 型強誘電体メモリをニューロン回路に応用する研究[16]や、DRAM キャパシタで揮発性ではあるが、キャパシタを演算に利用する研究等[17]が報告されているにとどまる。

強誘電体をメモリではなく論理演算回路に適用する場合は、新たに考慮しなければならないことがある。一つは、書き換え回数である。製品使用時間を10年間もしくは1年間とした場合の必要な書き換え回数を図 1.8に示す。現在の強誘電体メモリの書き換え回数制限は  $10^{12}$  回である。キャッシュメモリのような用途を除けば、通常のメモリは、クロック毎に同じ場所に記憶されているデータにアクセスするようなことはないので、 $10^{12}$  回の書き換え制限でも問題になることは無い。しかしながら、論理演算回路のなかで強誘電体を使用する場合には、頻繁にアクセスされることが考えられるので、少なくとも  $10^{15}$  回以上の書き換え回数を保証しなければならない。 $10^{15}$  回以上の書き換え回数を保証するには、強誘電体の高速な評価方法も考案しなければ、実用的な期間で評価を行うことができない。

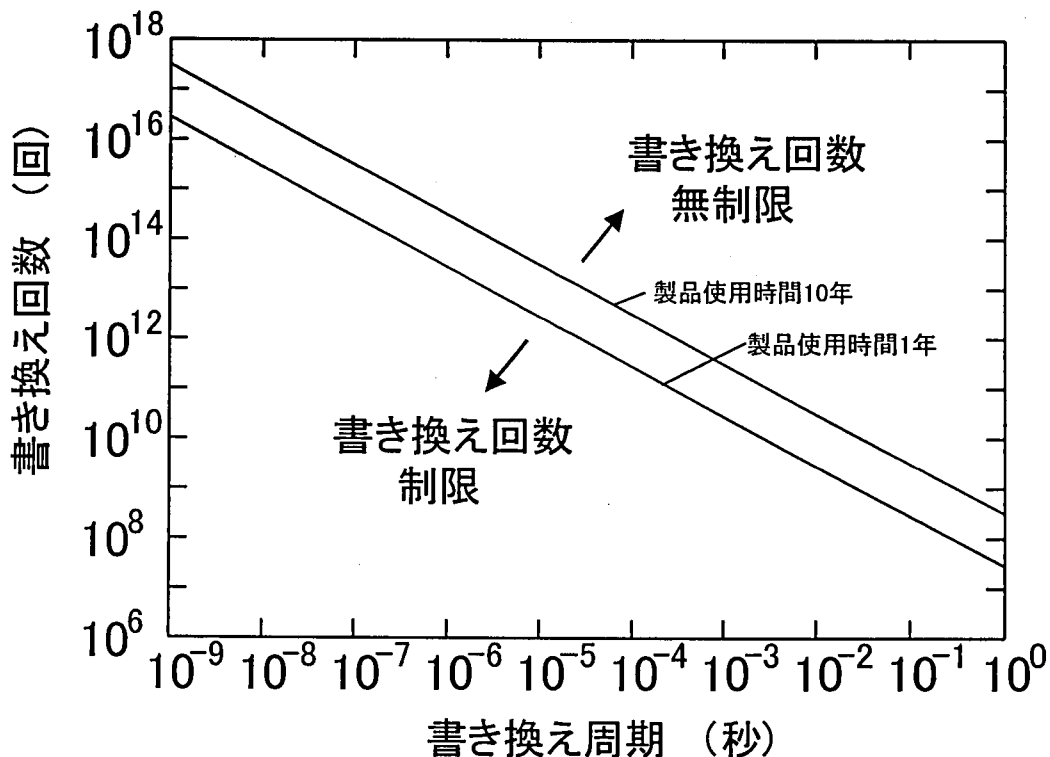


図 1.8 製品使用時間と書き換え回数

## 1.4 本研究の目的と論文の構成

本研究はシリコン集積回路の高機能化を実現するため、強誘電体容量の材料、プロセス、回路からのアプローチを行った。以下に本論文の目的と各章の構成をまとめる。

この章では、強誘電体メモリの特性について述べ、既存メモリとの比較を行うことにより強誘電体メモリの優位性を明らかにした。現在、研究されている強誘電体メモリはキャパシタ型と

FET 型の 2 種類があり、キャパシタ型は既に量産実用化されているが、他のメモリと比較して容量が小さいことから、用途は限定されている。FET 型強誘電体メモリはスケーリング則に準拠するデバイスであるため、大容量化を進める上で有利であり、キャパシタ型のメモリと比較して非破壊読み出しという性質があるため、さらに高性能な不揮発性メモリを実現する可能性を有する。しかし、FET 型強誘電体メモリは作製が困難なことから実用化が遅れている。また、高速ランダムアクセス性を特徴とする強誘電体メモリにおいて、データ保持時間 10 年を保証するのは、他の安価な記録方式の存在を考えると、意味が薄い。このため、目標とするデータ保持時間を 10 日とする指針を与えた。さらに、シリコン集積回路には大きく分けてメモリと論理演算回路があるが、この論理演算回路に不揮発性を付与したり、強誘電体を適用したりすることで高機能化をはかる研究がほとんど行われていないことを示した。シリコン集積回路システムの高機能化には、論理演算回路の高機能化も必要であることを述べた。

第 3 章の FET 型強誘電体メモリの開発は、低電圧で動作し、信頼性の高いメモリセルを作製することが目標である。低電圧化に関しては、強誘電体材料の誘電率が重要である。このため、新たに低誘電率の強誘電体材料を開発することを目標とした。この際、LSI で使用するために必要な、高温耐性や還元耐性などのプロセス耐性をもち、適度なキュリー温度を持つ材料を選択せねばならない。

本研究では量産性に優れ、組成制御性と再現性に優れたゾルゲル法により、強誘電体薄膜材料の開発を行い、誘電率が 100 以下の強誘電体薄膜を作製することを目標とする。 $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜に関して、構成元素を他元素で置換するなどの手法を用いて、誘電率の低い良好な強誘電体特性を示す膜を作製する。

さらに第 4 章では、開発した低誘電率膜を用いて FET 型強誘電体メモリである MF-MIS 構造を作製し、トランジスタの特性とデータ保持特性を評価する。強誘電体薄膜の構成金属元素がゲート酸化膜や半導体 Si に拡散していないことを確認し、さらに、電氣的にも特性が変化していないことを確認することを目標とする。このことにより、信頼性の高い FET 型メモリの実現が可能になると思われる。また、MF-MIS 構造のデータ保持時間 10 日以上を目指し、データ保持特性の測定、デバイスの構造の改良を行う。また、得られたデータ保持特性から、データ保持特性を決める因子を確定し、更なる高信頼、長時間データ保持メモリ実現の指針を得ることを目標とする。

第 5 章の論理演算回路への強誘電体の適応については、論理演算回路において新しい機能である不揮発性を持たせ、また、論理演算回路の性能を高めることを目的とする。

まず、論理演算回路への要求事項がメモリに対するものと異なることを述べ、論理演算回路に適した強誘電体材料を開発する必要がある。ここでは、一般的な PZT 薄膜に対して、低電圧化と疲労特性の改善を目標とした。成膜プロセスからのアプローチにより、低電圧動作し、

疲労特性寿命の長い強誘電体薄膜を開発する。次に、論理演算回路を不揮発化して、論理演算回路の高性能化と低消費電力化を可能とする回路の提案を行う。ここでは、簡単で、面積増加の少ない構成で、論理演算回路の速度劣化が少なく、信頼性の高い不揮発化を実現することを目標とする。最後に、強誘電体を演算に用いる提案を行い、論理演算回路の面積縮小と高性能化を実現することを目指す。

本論文の構成を流れ図で示したのが図 1.9である。

第 1 章は本研究の背景と目的について述べている。第 2 章では本研究で用いた成膜法・評価方法を主に PZT 系強誘電体を例に説明している。第 3 章では FET 型強誘電体メモリに適した強誘電体材料を提案し、その成膜、特性評価について述べている。第 4 章では、第 3 章で開発した強誘電体薄膜を用いて FET 型強誘電体メモリを作製し、特性評価を行い、データ保持時間に関する考察を行っている。第 5 章では、論理演算回路に強誘電体を適用して高機能化を実現する方法を提案している。提案デバイスを作製、特性評価して、原理検証を行っている。第 6 章は結論として、本論文のまとめと今後の課題について述べている。

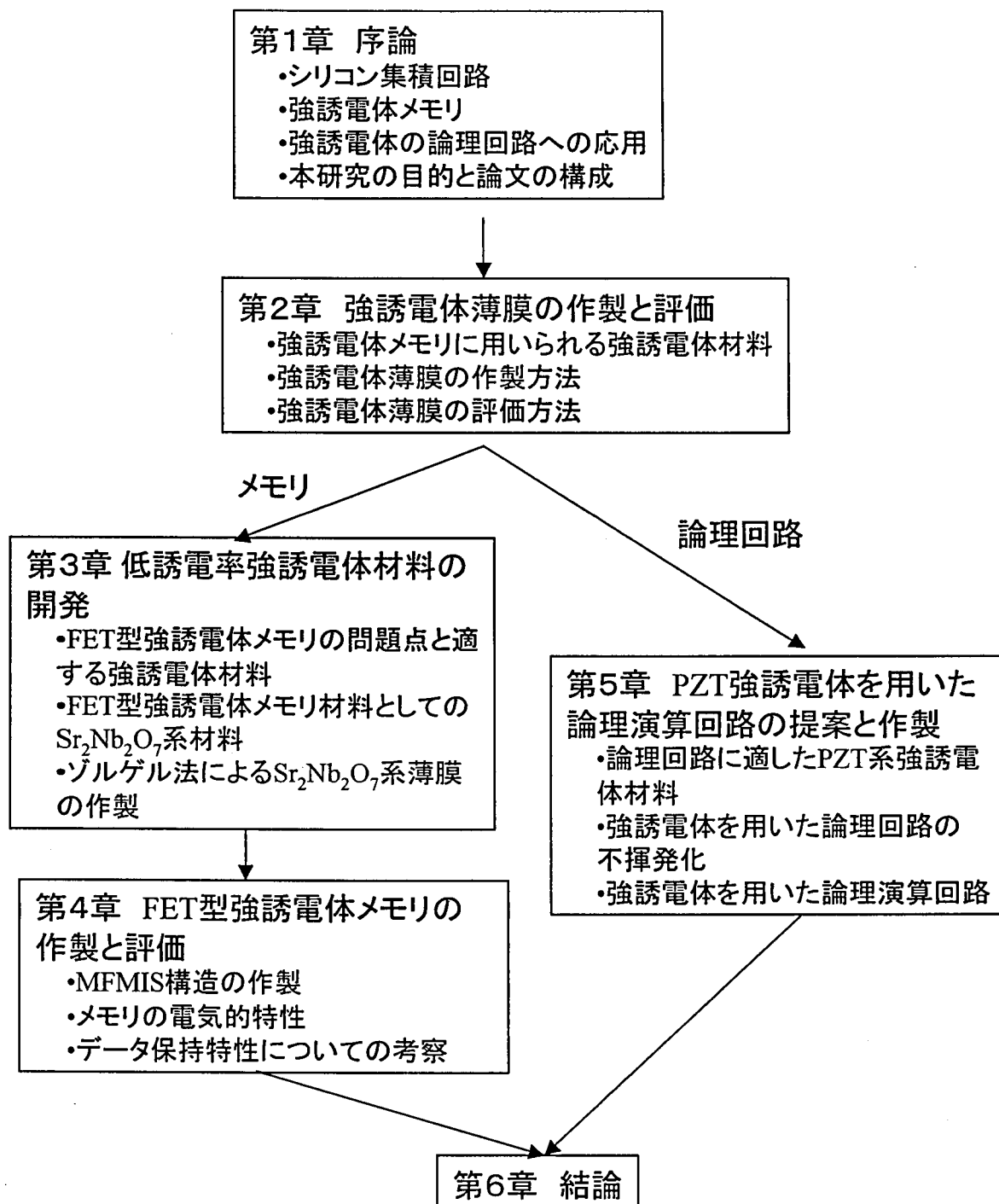


図 1.9 本論文の構成



## 参考文献

- [1] Y. Tarui, Y. Hayashi, and K. Nagai: *J. Solid-State Circuits*, **SC-7**, 369 (1972).
- [2] 河合基伸、新井将之: “永久記憶媒体”、日経エレクトロニクス、(2004 年 7 月) 100.
- [3] “情報通信基盤高度化プログラム 次世代強誘電体メモリの研究開発プロジェクト基本計画”、(新エネルギー・産業技術総合開発機構、2003 年) 4.
- [4] S. S. Eaton, D. B. Bulter, M. Paris, D. Wilson and H. McNellie: *Dig. Tech. Pap. IEEE Int. Solid-State Circuit Conf.* **31** (1988) 130.
- [5] W. I. Kinney, W. Shepherd, W. Miller, J. Evans and R. Womack: *IEEE Int. Electron Device Meet. Tech. Dig.* (1987) 850.
- [6] J. L. Moll and Y. Tarui: *IEEE Trans. Electron Divices* **ED-10** (1963) 338.
- [7] K. Sugibuchi, Y. Kurogi, N. Endo: *J. Appl. Phys.* **46** (1975) 2877.
- [8] S. Y. Wu: *Ferroelectrics* **11** (1976) 379.
- [9] T. Hirai, K. Teramoto, T. Nishi, T. Goto and Y. Tarui: *J. Appl. Phys.* **33** (1994) 5219.
- [10] I. Sakai, E. Tokumitsu and H. Ishiwara: *Jpn. J. Appl. Phys.* **35** (1996) 4987.
- [11] T. Hirai, K. Nagashima, H. Koike, S. Matsuno and Y. Tarui: *Jpn. J. Appl. Phys.* **35** (1996) 5150.
- [12] T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu: *ISSCC '95 Dig. Tech. Papers* **68** (1995).
- [13] Y. Fujimori, T. Nakamura and A. Kamisawa: *Jpn. J. Appl. Phys.* **38** (1998) 2285.
- [14] T. Shibata and T. Ohmi: *IEEE Trans. Electron Devices* **39** No.6 (1992) 1444.
- [15] T. Hanyu and M. Kameyama: *IEICE Trans. Electron* **E82-C** No.9 (1999) 1662.
- [16] H. Ishiwara: *Jpn. J. Appl. Phys.* **32** (1993) 442.
- [17] H. Hanyu, H. Kimura, and M. Kameyama: *IEEE Proc. Int. Symp. Multiple-Valued Logic*, (2002), 423.



## 第2章 強誘電体薄膜の作製と評価

本章では、強誘電体薄膜の作製と評価について述べる。最初に、成膜や評価する際に必要な、強誘電体に特徴的な性質や物性について述べる。次に、強誘電体を作製するための方法を何種類か挙げ、その中から、組成制御性と再現性に優れたゾルゲル法を本研究で使用する成膜法に選んだことを示す。最後に、強誘電体薄膜には独特の評価法が存在するが、その電気的特性評価法について述べる。

### 2.1 強誘電体メモリに用いられる強誘電体材料

現在最も盛んに研究開発が進められている強誘電体材料は、PZT( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ )系強誘電体である[1]。PZT は図 2.1のようなペロブスカイト型の結晶構造をもつ酸化物強誘電体である。

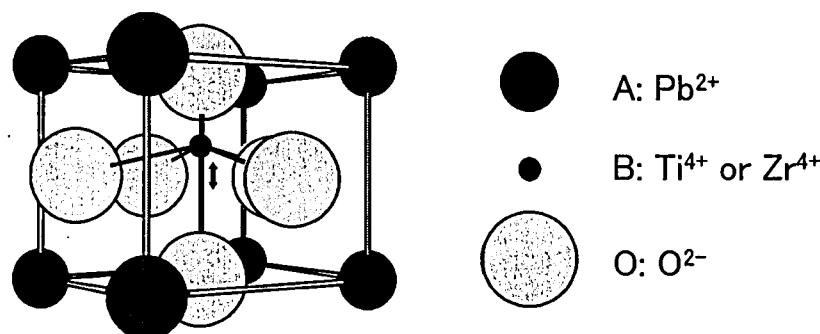
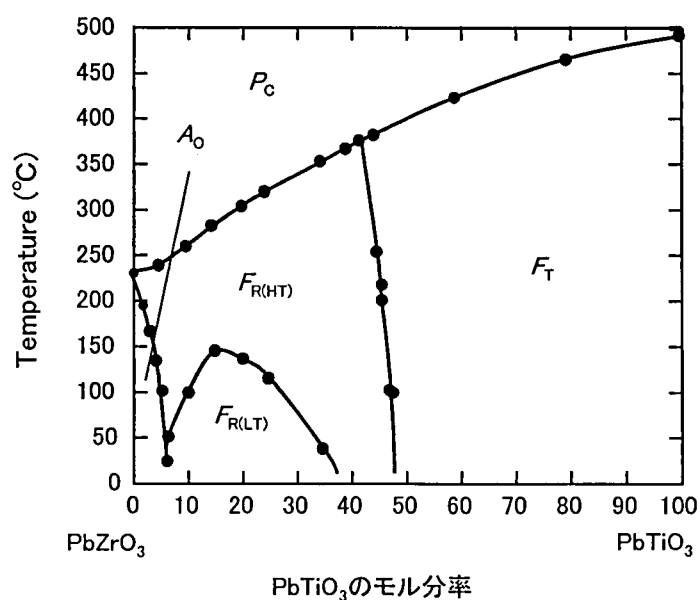


図 2.1 ペロブスカイト型結晶の構造図

強誘電体として最初に発見されたチタン酸バリウム( $\text{BaTiO}_3$ )をはじめとする多くの強誘電体材料が、このペロブスカイト構造または変形ペロブスカイト構造をとる。この構造は化学式  $\text{ABO}_3$  で表され、原子半径の大きい陽イオン(A)を頂点とすると、原子半径の小さい陽イオン(B)が体心に、酸素イオンが面心に位置するような立方格子として描くことが出来る。この構造を持つ強誘電体はキュリー温度において変位型相転移を起こし、キュリー温度以下の強誘電相では、B イオンが相対的に格子の中心からずれた位置にエネルギーの極小値(安定点)をもつ。そのため、格子は立方晶とならずに正方晶や菱面体晶となる。ある一定以上の電界

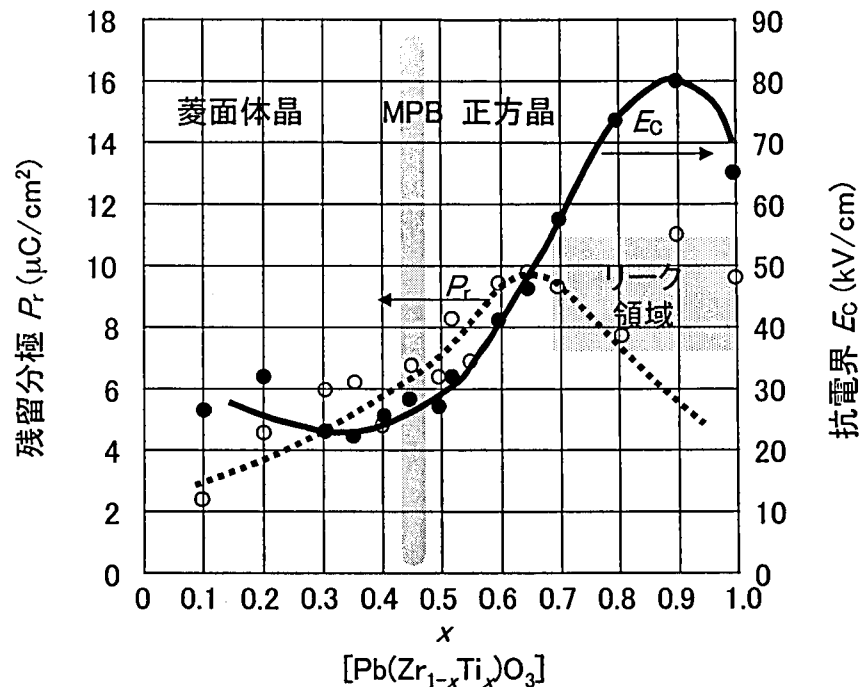
を加えることにより、1つの安定状態からもう1つの安定状態に移動することが出来る。イオンの位置でいうと、A イオンに対して B イオンが相対的に変動する。そのイオンの変動により分極が反転する。分極軸方向は結晶構造により異なるが、ペロブスカイト構造の場合は、通常、正方晶のものは c 軸、菱面体晶のものは(111)方向に分極軸を持つ。

PZT はこのペロブスカイト結晶構造をもち、A イオンに Pb、B イオンに Zr または Ti が位置する。この材料は常温で比較的安定に大きな残留分極が得られ、キュリー温度も室温に対して十分大きな値をとる。また、PZT は大きな焦電性、圧電性を有しており、他分野でも応用されている材料である。この PZT の特徴の一つとして、Zr と Ti の配合比を変化させることにより、比誘電率、残留分極、キュリー温度等の値が変化するという性質を持つ。図 2.2 に PZT の Zr/Ti 比に対する相図を示す[2]。Zr/Ti=52/48 付近に相境界(MPB: Morphotropic Phase Boundary)があり、Zr リッチ側は菱面体晶、Ti リッチ側は正方晶となる。比誘電率は MPB で極大値をとり、薄膜でも 1000 近い値となる。残留分極( $P_r$ )と抗電界( $E_c$ )は図 2.3[3]に示すように組成比により変化し、MPB 付近で残留分極は最大となる。PZT のもう一つの特徴として、他の陽イオンを添加することによりその特性を変化させることができることが挙げられる。よく使われているイオン種としては、La, Nb, Bi 等がある。陽イオンを添加することで、残留分極や比誘電率の変化の他にリーク電流低減の効果もある。



F: 強誘電相  
P: 常誘電相  
A: 反強誘電相  
T: 正方晶(Tetragonal)  
R(HT): 高温型菱面体晶 (Rhombohedral)  
R(LT): 低温型菱面体晶 (Rhombohedral)  
O: 斜方晶(Orthorhombic)

図 2.2 Pb(Ti,Zr)O<sub>3</sub> 系固溶体の相図

図 2.3 残留分極( $P_r$ ), 抗電界( $E_c$ )の Zr/Ti 依存性

## 2.2 強誘電体薄膜の作製方法

ここでは、PZT 系強誘電体を中心とした各種成膜法の特徴と実用性について述べる。本研究では、組成制御性が良く、再現性に優れた成膜法であるゾルゲル法を用いた。

PZT 系強誘電体は酸化物であるのでその成膜方法は多種多様である。研究開発されている成膜法はスパッタリング法、MOCVD(Metal Organic Chemical Vapor Deposition)法、ゾルゲル法、レーザーアブレーション法、イオンビームスパッタ法等様々で、まだ一本化されていないのが現状である。図 2.4に現在強誘電体成膜に用いられている主な成膜法の一覧を示す。強誘電体の成膜で要求されるのは、良質な膜が得られるということはいまでもないが、実用化に対応するためには高スループット(成膜速度等)、大口径化(面内均一性)、プロセス安定性(再現性)が要求される。さらに、強誘電体の形成は高温での結晶化が必要となってくるため、熱処理をどのように行うかが重要となってくる。MOCVD 法のように成膜中に基板の温度を結晶化温度以上にする必要があるものは、温度の安定性とスループットの向上が課題となってくる。次項では、これらの中で主な成膜方法の特徴と問題点について述べる。

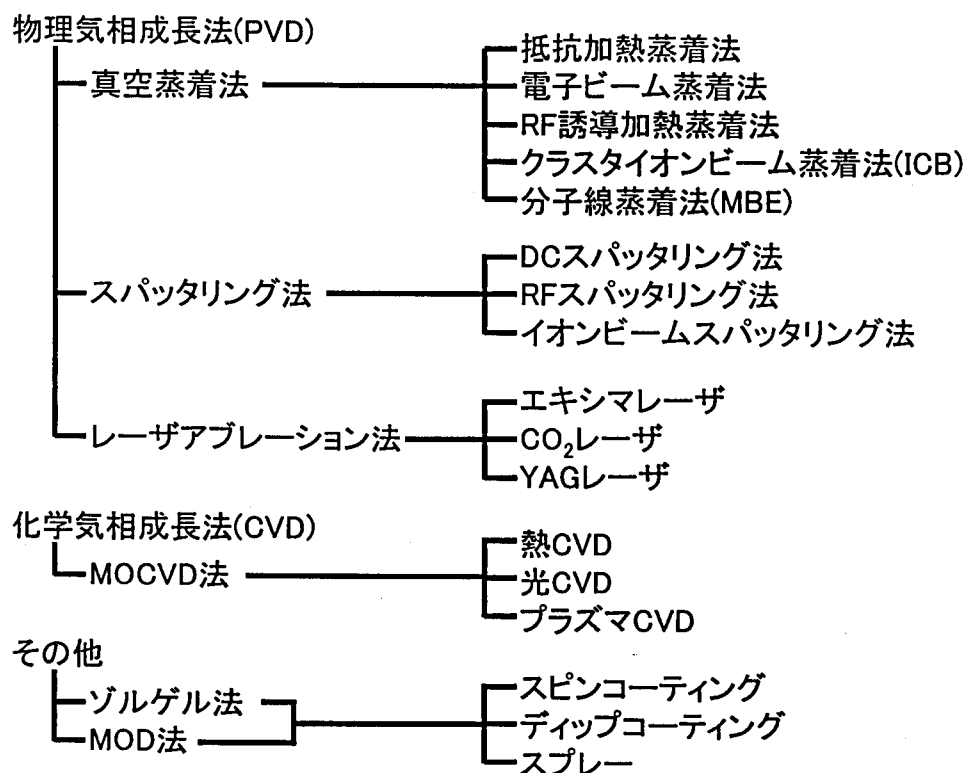


図 2.4 強誘電体薄膜に用いられている成膜法の一覧

### 2.2.1 各種成膜法の紹介

#### ①スパッタリング法

スパッタ法による PZT 成膜の試みは 1970 年代から行われ[4]、現在、量産化装置としての完成度が高い成膜法の一つである。スパッタリング法による成膜もいくつか分類される。成膜方式としては RF スパッタ法、DC スパッタ法、イオンビームスパッタ法等があり、成膜する膜やターゲットの種類によって使い分けられる。これらのどの方式においても放電の均一性を改善するために磁石を用いるマグネトロンスパッタが主流となっている。原理としてはプラズマやイオン銃により Ar 等のイオンや分子をターゲットに入射し、ターゲットの材料をはじき飛ばす。はじき出されたイオンやクラスタをウェハ表面に堆積させる物理的成膜法で、化学的気相成長法(CVD: Chemical Vapor Deposition)に対して物理気相成長法(PVD: Physical Vapor Deposition)と呼ばれることもある。

PZT 系強誘電体の場合、複合酸化物であるため色々なタイプのターゲットが使われている。ターゲット材料として、焼成した PZT のターゲット、Pb と Ti と Zr の合金ターゲット、金属をつなぎ合わせる複合金属ターゲット、複数のターゲットを用いる多元スパッタ等がある。

また、用いるスパッタの方式によりターゲットも制限を受ける。DC スパッタ法の場合は金属等の導電性の高い材料のターゲットを用いなければならないが、RF スパッタ法やイオンビームスパッタ法では酸化物のような絶縁ターゲットも用いることができる。

スパッタ法で最も問題になるのは膜の組成制御である。鉛系強誘電体においては Pb 量が、ビスマス系強誘電体においては Bi 量がウェハ面内で不均一になりやすく、プロセス再現性も乏しいものになってしまう傾向がある。その原因は、Pb や Bi の再蒸発、ウェハ周囲に付着した Pb や Bi の再付着、スパッタ率の違いによるターゲット表面の組成ずれ、基板温度の変化に伴う膜厚方向の組成不均一などが考えられる。特に基板温度が高いと融点の低い Pb や Bi の酸化物は蒸発しやすくなり、組成の不均一を招く恐れが大きくなる。そのため、スパッタ中は温度はなるべく低くかつ一定に保った方が組成制御しやすくなる。スパッタ時の基板温度上昇を考慮すると、基板温度を 200℃前後に保つかプレヒートにより基板を温めておくとの良い。しかし、この温度では強誘電体の結晶化は起こらないため、スパッタ後に熱処理が必要となる。スパッタ法の場合は 2 通りの熱の加え方が考えられる。一つは成膜時に基板温度を結晶化温度以上に保ち、成膜直後の状態で強誘電相となるようにする方法で、もう一つは低温で成膜した後に結晶化のための熱処理を施す方法である。

基板を加熱して成膜する方法のほうが一般的で、強誘電体相の結晶が基板表面から順に成長していくので、エピタキシャル成長しやすく膜厚方向の元素分布も均一になりやすい。しかし、PZT 系強誘電体は温度に非常に敏感であるため少しでも温度がずれてしまうと結晶配向性や結晶構造そのものが変化してしまう恐れがあり、基板温度の安定性や再現性を制御することは難しい。そのため、量産対応としては成膜後の熱処理により結晶化を行う方法が選ばれることが多くなっている。

面内均一性やプロセス再現性はゾルゲル法に比べて安定性を得ることが難しいが、最近の装置開発によりそれらも向上しつつある。図 2.5に RF スパッタ法により成膜した PZT 薄膜の面内均一性の一例を示す[5]。セラミックターゲットを用いて 6 インチウェハに成膜した例で、(a)が膜厚分布、(b)が Pb 濃度分布を示している。

このように、鉛系強誘電体についてはスパッタ法もプロセス安定性が向上してきている。課題としては、チャンバクリーニングやターゲット交換後のようなチャンバコンディションが変わったときのプロセス安定性をいかに保つかであろう。

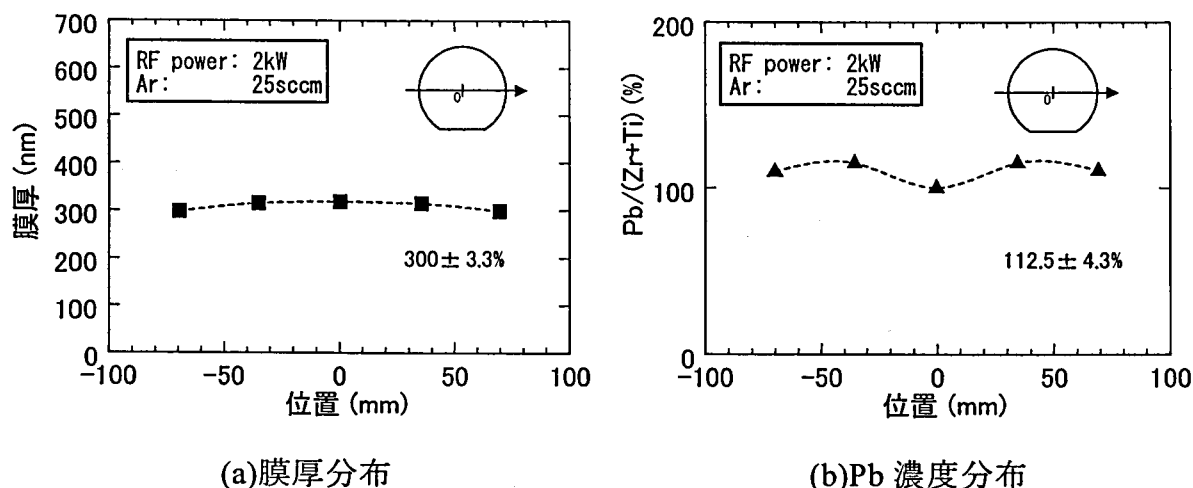


図 2.5 RF スパッタ法で成膜した PZT 薄膜の面内均一性

## ②MOCVD 法

スパッタリング法が量産化実績が最もあると述べたが、膜の特性や段差被覆性は十分満足できるものではない。スパッタリング法の弱点を補う成膜法として MOCVD 法が盛んに研究され、一部実用化もはじまっている。スパッタリング法に比べて MOCVD 法の利点は、薄膜の組成制御が容易である、段差被覆性が優れている、プラズマなどのダメージが少ない等が挙げられる。とくに、段差被覆性が良い点は LSI の 3 次元構造化に向けて大きなメリットとなる。

MOCVD 法で重要となってくるのは原料の選択である。この成膜法に要求される原料の特性として、蒸気圧が高いこと、安定である（経時変化が少ない）こと、取り扱いが容易であること、気相中で反応しないこと等が挙げられる。また、鉛系原料は毒性の高いものが多いことも問題視されている。通常、原料が液体となるような温度で Ar 等をキャリアガスとしてバブリングによりチャンバ内にガスを導入する。このガス導入方式だと、配管を原料と同様の温度以上に保たねばならなくなり、逆に温度が高すぎると配管中で分解してしまう恐れがあるためガス配管系の温度制御が難しくなる。特に固体原料を用いると、配管中での析出が問題となり成膜特性の再現性が悪くなる恐れがある。

このような問題点を解決するためにアルコール等を溶媒とした溶液原料を液体状態のまま輸送、流量制御し、熱や超音波を利用した気化器を用いてチャンバ内にガスを導入する方式が提案されている[6]。この方法を用いると成膜速度の再現性等が向上するが、気化器内や気化器とチャンバ間の配管は依然として析出による配管詰まりの恐れはある。MOCVD 法の場合、原料供給系の安定性と成膜速度向上が課題である。



### ③レーザーアブレーション法

その他の強誘電体の成膜法としてレーザーアブレーション法がある。この成膜法は主に米国で盛んであり、PLD(Pulse Laser Deposition)法とも呼ばれている。レーザーアブレーション法はスパッタ法と良く似た成膜法であり、ターゲットに高密度化したレーザーをパルス入射することによりイオンを放出させ、対向の基板上に堆積させて薄膜を形成する方法である。この成膜方法の特徴は、ターゲット材料に絶縁物でも金属でも用いることができる、ターゲットと膜との組成ずれが少ない等である。膜質も非常に良好なものが報告されている[7]。この成膜法の問題点は成膜面積が非常に狭いことである。高密度化するためレーザーのビーム径は小さく、放出されるイオンの範囲も非常に狭い。実用化のためには基板を回転させる等して大口径基板に対応していく必要があるが、当然成膜速度は遅くなるしプロセス安定性も悪くなる恐れがある。レーザー発生源を増やす方法もあるが、当然コストパフォーマンスが悪くなる。レーザーアブレーション法は、実用化に向け、高い成膜速度を保ったまま低コストでの大口径化が課題となる。

### 2.2.2 ゾルゲル法

スパッタリング法と並んで実用化実績のある成膜方法としてゾルゲル法がある。本研究ではゾルゲル法により強誘電体薄膜の成膜を行っている。ゾルゲル法という名前はLSIプロセスではあまりなじみがないが、同様の原理を用いて成膜しているものに SOG(Spin on Glass)がある。液体(ゾル)状の原料をウェハ上にコーティングして、熱処理により焼成する方法である。この方法は主に金属酸化物の形成に適した方法である。出発原料として金属アルコキシド、有機酸塩等をアルコール等の溶媒に溶かしたものをを用いる。この溶液をスピン、ディップ、スプレー等によりウェハ上にコーティングする。溶媒を乾燥させた後、熱処理により結晶化を行う。また、ゾルゲル法とよく似たもので MOD(Metal Organic Decomposition)法という成膜法がある。その 2 つの成膜法の違いは反応過程の違いで、ゾルゲル法は加水分解重縮合反応を用い MOD 法は熱分解法を用いる。

PZT のゾルゲル法による成膜例を、図 2.6の流れ図により説明する[8]。出発原料として酢酸鉛  $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 3\text{H}_2\text{O}$ 、金属アルコキシド  $\text{Zr}(n\text{-OC}_4\text{H}_9)_4$ 、 $\text{Ti}(i\text{-OC}_3\text{H}_7)_4$  の 2-メトキシエタノールを溶媒とした溶液を用いている。スピンコーティングによりウェハに塗布、150～200℃で乾燥させた後、乾燥空気雰囲気中で約 400℃、30 分の仮焼成を行う、ここで得られる膜厚は出発原料の濃度(粘度)と塗布条件で決まる。所定の膜厚になるまでこの工程を繰り返す。PZT の場合 400℃ではほとんどアモルファス状態であるため結晶化アニールを施す必要がある。所定の膜厚になった後に 600～700℃で結晶化の熱処理を行う。

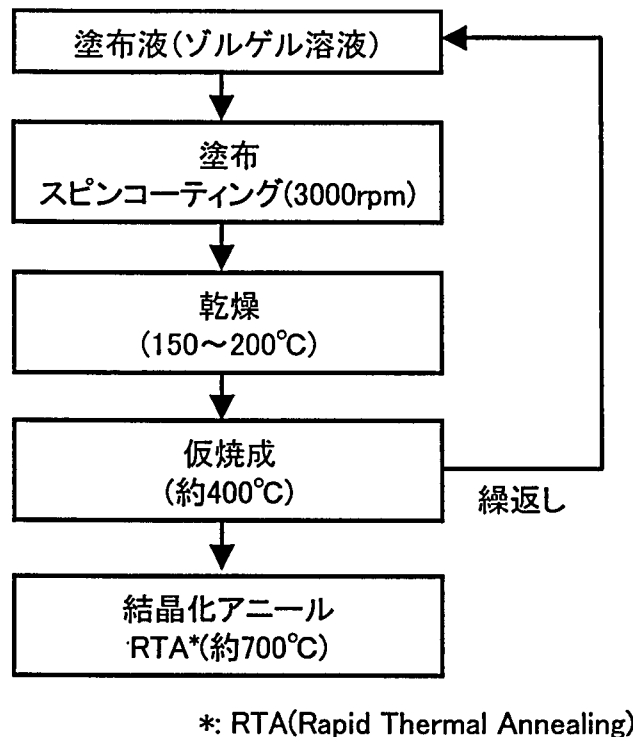


図 2.6 ゾルゲル法による PZT 成膜の流れ図

ゾルゲル法は組成比やドーパントの制御が容易なうえ、ウェハ面内の均一性も比較的得られやすく、安価でスループットも十分実用化に対応できる成膜法である。このように作製した PZT 薄膜の膜厚面内均一性を図 2.7 に示す。スピンコーティングで 3000rpm 程度の回転数にすると 6 インチウェハでは全面に均一な膜を形成することができ、膜厚が 250~300nm 程度の膜では結晶化アニール後で膜厚の面内均一性が  $\pm 1\%$  以下となっている。次に、この条件で連続処理した時のロット間バラツキを図 2.8 に示す。15 ロット(1 ロット 25 枚:約 2000 枚)の処理で、ロット間バラツキは  $\pm 1\%$  以下に抑えられている。また、ロット内のウェハ間バラツキも  $\pm 1\%$  程度である。表 2-1[9]にゾルゲル溶液と薄膜形成後の組成比分析結果の一例を示す。薄膜材料(塗布液)と得られた膜との組成ずれがなく、組成制御性に優れているといえる。これは、ゾルゲル法においては塗布液の段階で、構成元素である Pb や Zr, Ti が酸素を介して強固なネットワーク(M-O-M 結合)を形成しているためである。

これらの結果から、ゾルゲル法は量産に適した成膜法であるとともに、組成の異なる薄膜をつくる際もゾルゲル溶液の原料比を変えることで、正確に組成制御が可能である。このため、新しい強誘電体材料を研究開発する際にも最適な成膜方法であるといえる。

この成膜法の最大の欠点は段差被覆性が悪いことである。液体状で塗布するため凹凸を有する基板上だと凹部と凸部で膜厚の差が非常に大きくなってしまう。そのため LSI の立体

構造化に対応していくためには平坦化等を行いデバイス構造を改良する必要がある。また、このような欠点を補うために溶液をミスト上にしてウェハに付着させるような提案もなされている [10]。

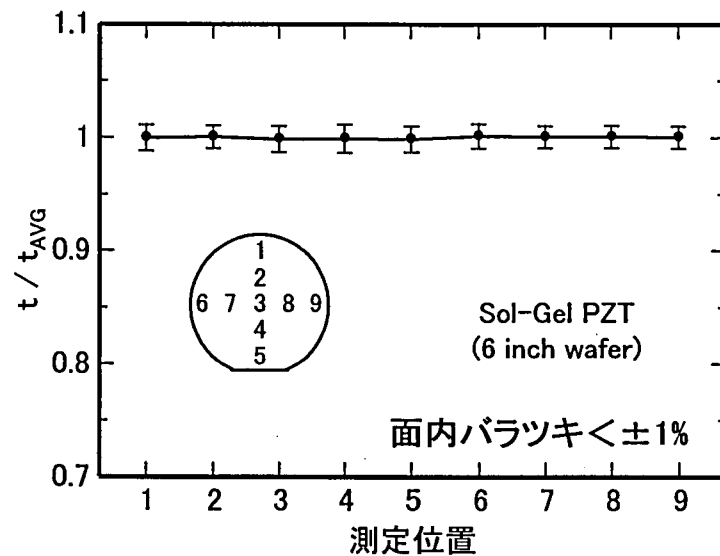


図 2.7 ゾルゲル法で成膜した PZT 薄膜の面内均一性

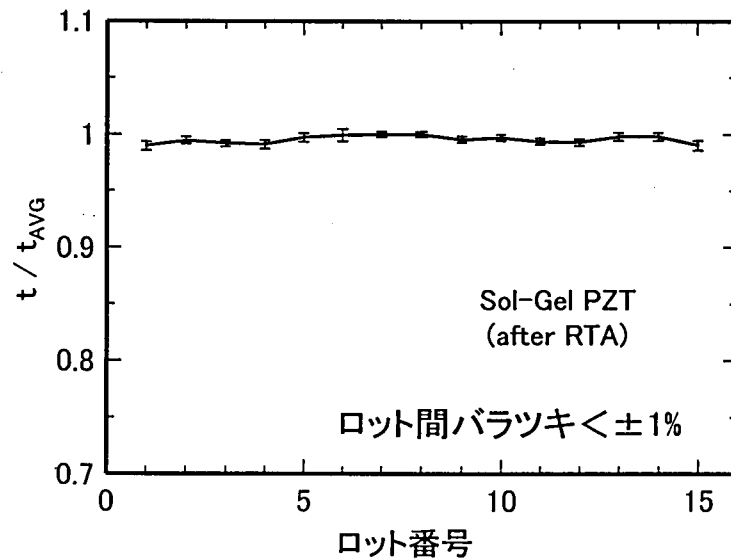


図 2.8 ゾルゲル法で成膜した PZT 薄膜のロット間バラツキ

表 2-1 PZT 塗布液と得られた膜の組成比分析の例

	原子比		
	Pb	Zr	Ti
PZT塗布液	2.02	0.82	1
PZT塗布液薄膜	1.98	0.82	1

## 2.3 強誘電体薄膜の評価方法

薄膜の評価は一般的な物性評価と電気的特性評価に大別される。膜の一般的物性評価には、通常の薄膜評価に使用される X 線回折や SEM(Scanning Electron Microscope)を用いた。電気的特性の評価方法に関しては、強誘電体特有の評価法があるので、以下に説明する。

### 2.3.1 強誘電体薄膜の電気的特性評価

強誘電体薄膜の電気的特性の測定は図 2.9に示す並行平板型のキャパシタ構造の試料を用いて行った。電極面積は上部電極の大きさのみで決定した。上部電極の大きさは、一辺 50 $\mu\text{m}$  の正方形のものを主に用いた。

比誘電率 $\epsilon_r$ は静電容量を LCR メータ(HP-4284A)を用いて 100kHz, 50mV 振幅にて測定し、次式より算出した。

$$C = \epsilon_0 \epsilon_r \frac{S}{d}, \quad (2-1)$$

ここで、 $C$  はキャパシタの静電容量、 $\epsilon_0$  は真空の誘電率、 $S$  は電極面積で  $t$  は膜厚である。

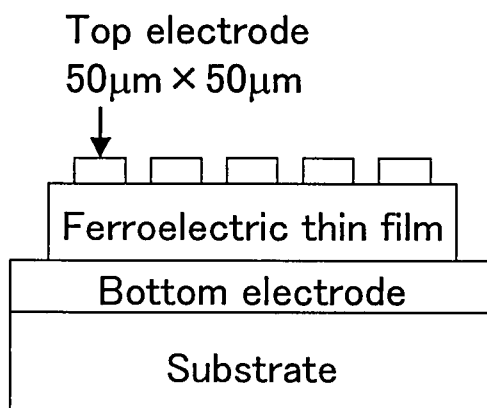


図 2.9 電気的特性測定用の試料の構造

ヒステリシス特性は図 2.10に示すように、ソーヤ・タワー回路とパルスジェネレータ (HP-8116A)、デジタルオシロスコープ(HP-54510B)を用いて、周波数 10kHz の三角波を用いて測定した。負荷キャパシタの容量は強誘電体に十分な電圧をかけるため  $C_L/C_F=50\sim100$  程度のものを用いた。ここで  $C_F$  は強誘電体の容量、 $C_L$  は負荷キャパシタの容量を示す。図 2.11にソーヤ・タワー回路を用いて測定したヒステリシスループの例を示す。図中の  $S_F$  は強誘電体キャパシタの面積を表している。ヒステリシスループから得られる情報としては、残留分極 ( $\pm P_r$ )、自発分極 ( $\pm P_s$ )、抗電界 ( $\pm E_c$ ) 等である。また、その形から電界に対する分極反転の挙動が分かる。ヒステリシス特性評価の欠点としては、リーク成分等の強誘電性以外の要因を除くことが難しいこと等が挙げられるが、強誘電体を評価するのには情報量が多い。

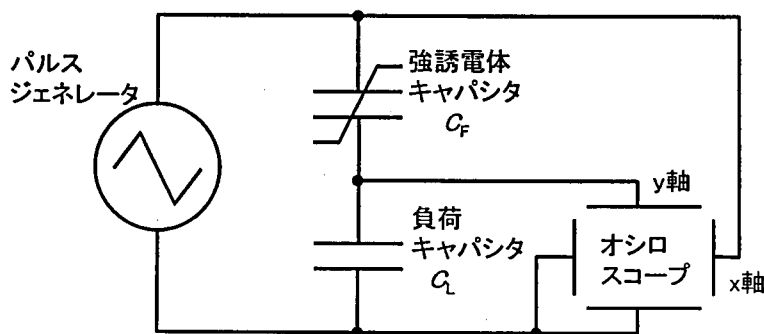


図 2.10 ソーヤ・タワー回路

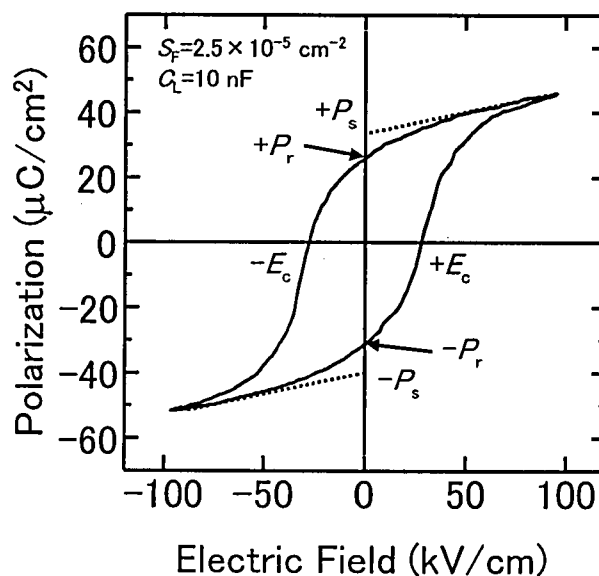


図 2.11 ソーヤ・タワー回路により得られたヒステリシスループの例

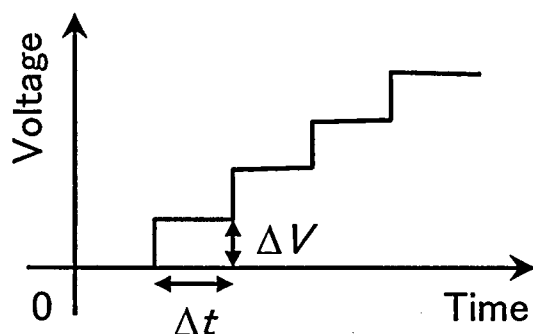


図 2.12 リーク電流測定に用いた電圧波形

リーク電流特性は、半導体パラメータアナライザ(HP-4155B)を用いて、図 2.12に示す階段状電圧を印加して測定した。電圧刻み( $\Delta V$ )と時間刻み( $\Delta t$ )は、それぞれ 0.2V、0.5s とした。

パルス応答特性は、ソーヤ・タワー回路を用いて、図 2.13に示す波形により測定する。実デバイス中では、強誘電体容量に印加されるのはパルス上の電圧であるため、容量のパルス測定は意義がある。セットパルスは、「書き込み」に相当し、負の電圧( $-V_w$ )を印加する。その後 1 秒間の保持期間を経てから、正または負の測定パルスを印加して強誘電体より生じる電荷量を測定する。測定パルス幅は、 $2500\mu\text{m}^2$ の容量を十分に駆動できるように、 $1\mu\text{s}$ に固定した。読み出し電圧  $V_r$  が  $V_w > 0$  のときと、 $V_r = -V_w$  のときの、強誘電体より発生する電荷の差を、スイッチング電荷量(switching charge)と定義する。スイッチング電荷量は不揮発性の記憶に寄与する電荷量を表している。

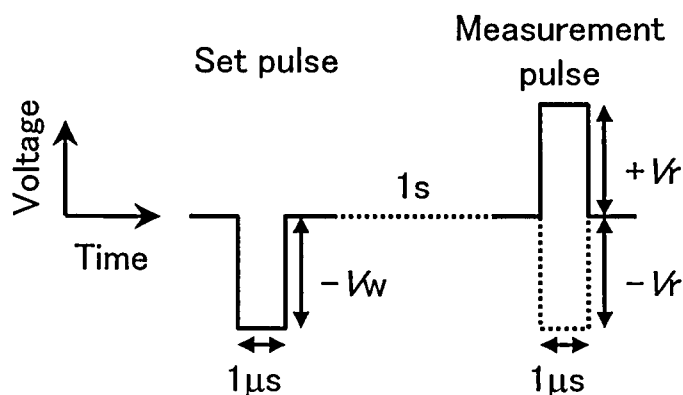


図 2.13 パルス応答測定波形

疲労特性は、分極反転の繰返しによって分極反転が劣化する特性である。疲労特性は先述のパルス応答特性により測定した。疲労パルスは図 2.14に示すような 500kHz の矩形パルスで、一定疲労サイクルを印加したパルス応答特性を測定する。図 2.15は疲労特性の一例である。横軸に疲労サイクル数を取り、縦軸にスイッチング電荷量をとっている。分極反転の繰返しによって、スイッチング電荷が減少する劣化モードが観察される。

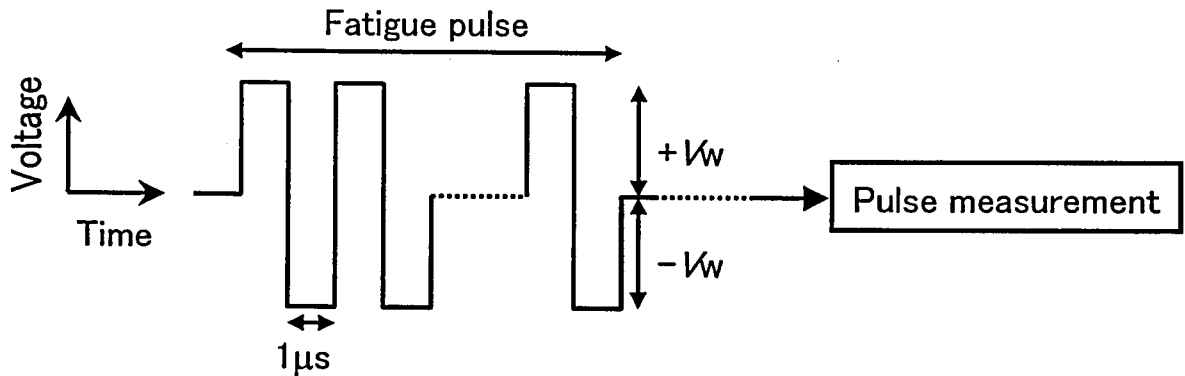


図 2.14 疲労特性測定波形

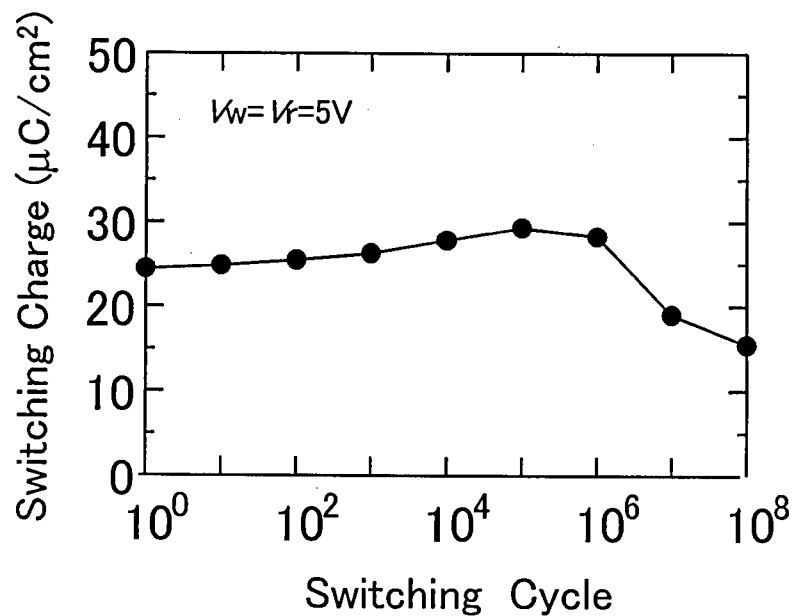


図 2.15 疲労特性の一例

## 参考文献

- [1] M. E. Lines and A. M. Glass: "Principle and Applications of Ferroelectrics and Related Materials" (Oxford Classic Texts, 1977) 241.
- [2] B. Jaffe, W. R. Cook and H. Jaffe: "Piezoelectric Ceramics" (Academic Press, 1971).
- [3] 塩寄忠、阿部東彦、武田英次、津屋英樹 編: "強誘電体メモリ"、(サイエンスフォーラム、1995) 221.
- [4] H. Matsunami, M. Suzuki, M. Ishida and T. Tanaka: Jpn. J. Appl. Phys. **15** (1976) 1163.
- [5] K. Suu, A. Osawa, N. Tani, M. Ishikawa, K. Nakamura, T. Ozawa, K. Sameshima, A. Kamisawa and H. Takasu: Jpn. J. Appl. Phys. **35** (9B) (1996) 4967.
- [6] T. Kawabata, M. Yamamura, A. Yuuki, K. Ono: Jpn. J. Appl. Phys. **33** (9B) (1995) 5077.
- [7] H. Tabata, O. Murata, T. Kawai, S. Kawai and M. Okuyama: Jpn. J. Appl. Phys. **31** (1992) 2968.
- [8] Y. Nakao, T. Nakamura, A. Kamisawa, H. Takasu: Integrated Ferroelectrics, **6** (1995) 23.
- [9] 塩寄忠、宮坂洋一、望月博、崎山恵三 編: "強誘電体メモリ先端プロセス"、(サイエンスフォーラム、1999) 20.
- [10] L. D. McMillan, M. Huffman, T. L. Roberts, M. C. Scott and C. A. Paz de Araujo: Integrated Ferroelectrics **4** (1994) 319.



## 第3章 低誘電率強誘電体材料の開発

本章では、FET 型強誘電体メモリに最適な強誘電体薄膜材料の開発を行うことを目標とする。3.1節では FET 型強誘電体メモリの問題点を示し、それを解決するための強誘電体材料への要求事項を列挙する。なかでも、誘電率の低い強誘電体材料を開発することが重要であることを示す。材料検索を行った結果、3.2節に示すように、これらの要求をすべて満たすことのできる強誘電体材料として、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系強誘電体を選択した。しかしながら、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系強誘電体は、バルクでは強誘電性を示すものの、薄膜では強誘電性の報告例が無かった。3.3節では、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ と  $\text{Sr}_2\text{Ta}_2\text{O}_7$ を固溶させる手法を用いることで、世界で初めて、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系薄膜で強誘電性を発現させることに成功したことを示す。

### 3.1 FET 型強誘電体メモリの問題点と適する強誘電体材料

#### 3.1.1 誘電率

MF MIS(Metal Ferroelectric Metal Insulator Semiconductor) 構造 や MFIS(Metal Ferroelectric Insulator Semiconductor)構造の FET 型強誘電体メモリは、強誘電体キャパシタとゲート絶縁膜キャパシタの直列接続容量を形成する。そのため、MF MIS 構造に印加された電圧は、両者の容量に反比例して分割される。一般に、強誘電体材料は比誘電率が大きな材料が多く、PZT( $\text{Pb}(\text{Ti}, \text{Zr})\text{O}_3$ :チタン酸ジルコン酸鉛)系強誘電体の場合 200~1000 程度の値をとる。一方、ゲート絶縁膜に用いられるシリコン酸化膜の比誘電率は 3.9 であり、膜厚にもよるが、強誘電体キャパシタの方が大きな容量を示すことになる。そのため、強誘電体にかかる電圧は印加電圧のごく一部となり、分極反転に必要な電界が得られず、メモリ特性を示さなくなる。に MF MIS 構造とその電氣的等価回路を図 3.1 示す。電圧  $V$  が制御電極に印加されたとき、電圧  $V$  は強誘電体容量とゲート絶縁膜容量とに分割される。強誘電体にかかる電界は次式で表される。

$$E_F = \frac{1}{\frac{\epsilon_F}{\epsilon_{ox}} \cdot t_{ox} + t_F} \cdot V. \quad (3-1)$$

ここで  $t_F$  と  $t_{ox}$  は強誘電体薄膜とゲート絶縁膜の膜厚であり、 $\epsilon_F$  と  $\epsilon_{ox}$  は、それぞれ、強誘電体とゲート絶縁膜の比誘電率である。

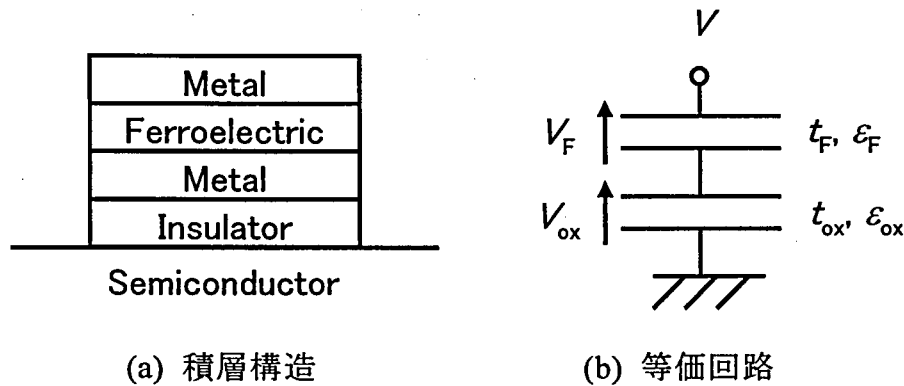


図 3.1 MFMIS 構造

強誘電体に分極反転に十分な電界を与えるためには、式(3-2)に示すように、強誘電体にかかる電圧  $E_f$  が強誘電体の抗電界  $E_c$  より大きくなるようにすれば良い。

$$\alpha E_c < \frac{1}{\frac{\epsilon_F}{\epsilon_{ox}} \cdot t_{ox} + t_F} \cdot V. \quad (3-2)$$

$\alpha$  は 1 以上の無次元数であり、動作余裕を与えるための定数である。式より強誘電体の電界を強くするには次の 4 つの方法がある。(1)ゲート絶縁膜( $t_{ox}$ )の膜厚を薄くする。(2)強誘電体の膜厚( $t_F$ )を薄くする。(3)強誘電体の比誘電率( $\epsilon_F$ )を下げる。(4)ゲート絶縁膜の比誘電率( $\epsilon_{ox}$ )を上げる。(1)のゲート絶縁膜である  $\text{SiO}_2$  を薄くする方法はトンネル現象によるリーク電流の増加のため限界がある。(4)の高誘電率材料をゲート絶縁膜に利用する方法も、第 1 章で述べたように Si との界面でシリコンが酸化されるために、良好な界面特性を得ることが難しい[1]。図 3.2 は、ゲート絶縁膜にシリコン酸化膜( $\epsilon_{ox}=3.9$ )を用い、強誘電体の誘電率を 10 ないし 100 としたときの強誘電体の電界を、強誘電体の膜厚の関数として計算したものである。図 3.2 より、強誘電体の誘電率を下げるのが、強誘電体の電界を大きくするのに効果的であることが解る。強誘電体の比誘電率が高い場合には、強誘電体の膜厚を減少しても強誘電体の電界を向上する効果は小さい。

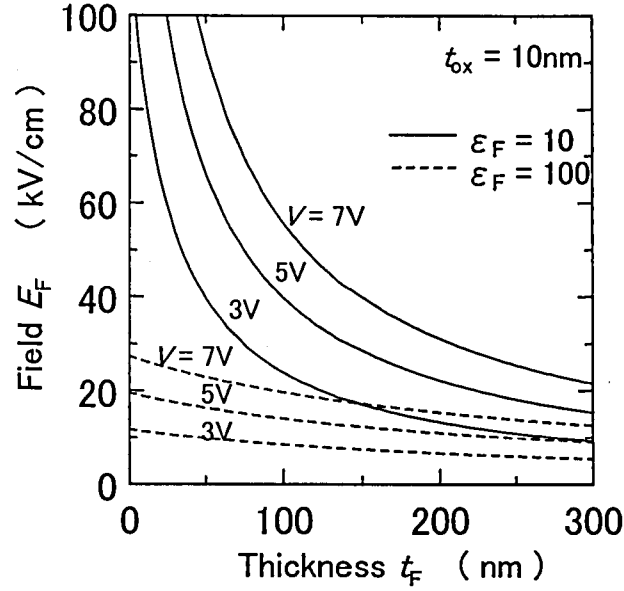


図 3.2 強誘電体膜の電界と膜厚の関係

また、MF MIS 構造に電圧が印加された際に、ゲート絶縁膜に印加される電界が絶縁破壊電界以下である必要がある。ゲート絶縁膜にかかる電界は、強誘電体にかかる電界( $E_F$ )に比誘電率の比( $\epsilon_F/\epsilon_{ox}$ )を掛けたものになる。

$$E_{ox} = E_F \cdot \frac{\epsilon_F}{\epsilon_{ox}} < E_{BD} \quad (3-3)$$

ここで、 $E_{BD}$  はゲート絶縁膜の絶縁破壊電界である。これらの 2 式を変形すると次式を得る。

$$V/\alpha > k_1 = E_c \left( \frac{\epsilon_F}{\epsilon_{ox}} \cdot t_{ox} + t_F \right), \quad (3-4)$$

$$E_{BD} \cdot \epsilon_{ox} / \alpha > k_2 = E_c \cdot \epsilon_F. \quad (3-5)$$

ここで、 $k_1$  および  $k_2$  を上式より定義した。 $k_1$  および  $k_2$  はそれぞれ電圧、電荷密度の次元を持っている。各種強誘電体材料に関して、これら2つの定数を計算することができる。 $k_1$  が低い材料は強誘電体の動作電圧が低いことを示し、低い  $k_2$  はゲート絶縁膜容量に誘起される電荷が少ないこと、すなわち、ゲート絶縁膜の電界が小さいことを表す。図 3.3に様々の強誘電体について  $k_1$ ,  $k_2$  を計算したものを示す[2]。図 3.3の原点付近を拡大したものが図 3.4である。条件として  $t_{ox}=15\text{nm}$ ,  $\epsilon_{ox}=3.9$ ,  $t_F=200\text{nm}$ ,  $V=5\text{V}$ ,  $\alpha=2$ ,  $E_{BD}=8\text{ MV/cm}$  を仮定したときに、式(3-4),(3-5)を満たすためには、 $k_1$ ,  $k_2$  は図 3.3中に示した破線より小さい必要がある。強誘

電体メモリ用の強誘電体として一般に用いられる PZT 系や SBT( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )系の材料は、 $k_1$ ,  $k_2$  の値が大きく、破線の外側に位置するため、FET 型の強誘電体メモリには適当でないことが判明した。図 3.4より FET 型強誘電体メモリに適した強誘電体材料の候補として、 $\text{SnP}_2\text{S}_6$ ,  $\text{Sr}_2\text{Nb}_2\text{O}_7$ ,  $\text{Gd}_2(\text{MoO}_4)_3$  系,  $\text{Pb}_5\text{Ge}_3\text{O}_{11}$  を選択した。次節で、これらの候補から、さらに絞り込みを行う。図 3.5に薄膜で強誘電性が得られているものに関して  $k_1$ ,  $k_2$  をプロットしたものを示す[3]。4つの候補のうち  $\text{Pb}_5\text{Ge}_3\text{O}_{11}$  は薄膜での強誘電性が確認されているが、 $\text{SnP}_2\text{S}_6$ ,  $\text{Sr}_2\text{Nb}_2\text{O}_7$ ,  $\text{Gd}_2(\text{MoO}_4)_3$  系に関しては薄膜での報告例が無い。

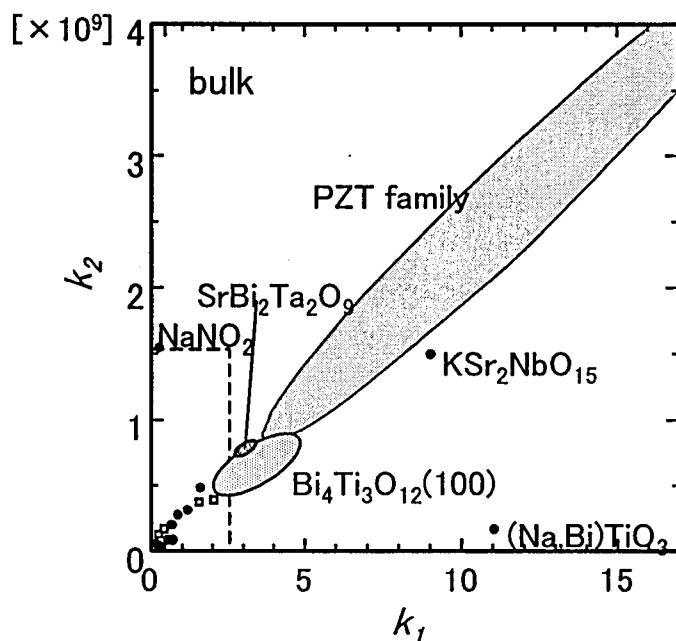


図 3.3 様々な強誘電体についての  $k_1$ - $k_2$  チャート(全体)

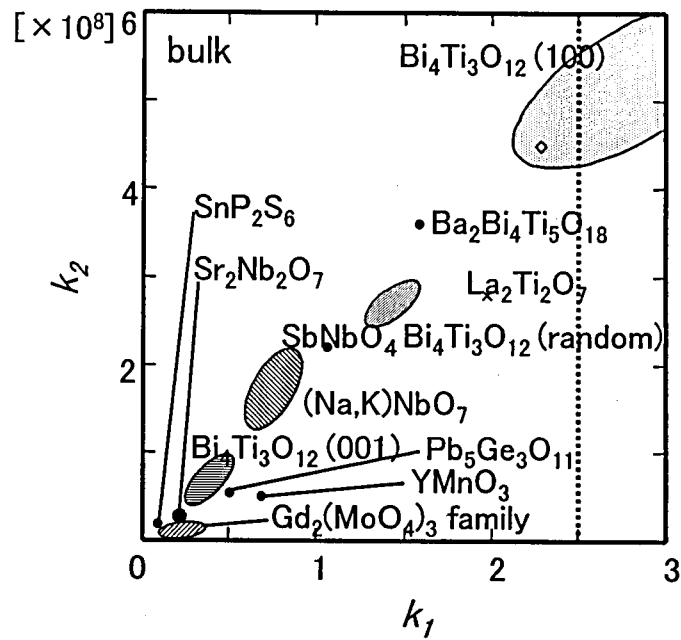


図 3.4 様々な強誘電体についての  $k_1$ - $k_2$  チャート(原点付近拡大)

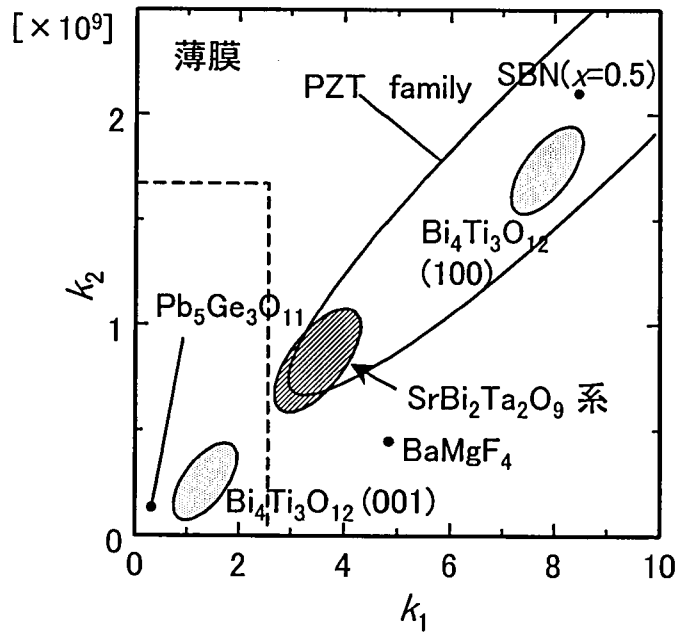


図 3.5 様々な強誘電体についての  $k_1$ - $k_2$  チャート(薄膜)

### 3.1.2 キュリー温度

比誘電率が小さいことは FET 型強誘電体メモリにおいて必要な条件であるが、シリコン集積回路に適用するには数々の制限が加わってくる。シリコン集積回路の動作温度保障範囲は、その用途によっても異なるが、 $-40\sim 125^{\circ}\text{C}$ とされることが多い。そのためには  $150^{\circ}\text{C}$ 以下で安定に強誘電体特性を発現することが必要である。つまり、強誘電体のキュリー温度は、 $150^{\circ}\text{C}$ より大きくなければいけない。車載等でさらに高温での動作が要求される場合は、さらに高い温度での安定した強誘電体特性が必要となる。また、品質保証の観点から動作温度より高い温度で加速試験を行う必要があるので、キュリー温度は  $250^{\circ}\text{C}$ 以上が望まれる。表 3-1より、十分高いキュリー温度を持つ  $\text{Sr}_2\text{Nb}_2\text{O}_7$  材料を候補とすることができる。

表 3-1 各種強誘電体のキュリー温度

強誘電体材料	キュリー温度 ( $^{\circ}\text{C}$ )
$\text{SnP}_2\text{S}_6$	66
$\text{Sr}_2\text{Nb}_2\text{O}_7$	1342
$\text{Gd}_2(\text{MoO}_4)_3$	159
$\text{Pb}_5\text{Ge}_3\text{O}_{11}$	177

### 3.1.3 リーク電流特性

強誘電体をメモリ等のデバイスに応用する際は、強誘電体を導電性の電極で挟んでキャパシタとして使用する。このため強誘電体には絶縁性が要求され、リーク電流成分が存在すると、デバイスの消費電力の増加やデータ保持時間が短くなることが予想される。強誘電体のリーク電流特性は、バルクでは  $100\text{kV}/\text{cm}$ を超えるような電界を印加することが寸法的に困難であったことと、強誘電体の構成元素の多さと結晶の不完全さのために、材料選択の比較に利用できるほど、各材料に関してデータがそろっている訳ではない。FET 型強誘電体メモリに要求されるリーク電流値については第4章で詳しく述べるが、ここでは、材料開発におけるリーク電流特性の目安を示す。

一番研究の進んでいる PZT のバルクの抵抗率は  $10^{11}\ \Omega\text{cm}$  であり[4]、この値を目標とする。強誘電体のリーク電流特性は、正確には、電圧と電流が線形でなくオームの法則には従わないが、抵抗率からリーク電流密度を見積もる。

リーク電流密度  $J$  は、抵抗率  $\rho$ 、電界  $E$  を用いて次の式で表すことができる。

$$J=E/\rho. \quad (3-6)$$

本研究の標準条件では強誘電体への印加電圧が 3V、強誘電体の膜厚が 150nm であるので、電界  $E$  は  $2 \times 10^7 \text{V/m}$  となる。式(3-6)に  $\rho=10^{11} \Omega \text{cm}$  とともに代入すると、

$$J=2 \times 10^{-6} \text{A/cm}^2 \quad (3-7)$$

が得られる。よって、本研究においては、リーク電流密度が  $10^{-6} \text{A/cm}^2$  以下になるように材料開発を行う。

### 3.2 FET 型強誘電体メモリ材料としての $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系材料

本研究では、誘電率が低く、キュリー温度が高いことを特長とする  $\text{Sr}_2\text{Nb}_2\text{O}_7$  を FET 型強誘電体メモリ材料として選択した。 $\text{Sr}_2\text{Nb}_2\text{O}_7$  には、性質の似た強誘電体は何種類か知られている。この  $\text{Sr}_2\text{Nb}_2\text{O}_7$  系強誘電体の特性を表 3-2 に示す[5]。中でも  $\text{Sr}_2\text{Nb}_2\text{O}_7$  は抗電界が小さいため低電圧動作が可能で、FET 型強誘電体メモリに適している。さらに、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  は FET 型メモリを作製するプロセスで重要となる、高温耐性、還元耐性も備えている。

表 3-2  $\text{Sr}_2\text{Nb}_2\text{O}_7$  系強誘電体の性質

		$\text{Sr}_2\text{Nb}_2\text{O}_7$	$\text{Sr}_2\text{Ta}_2\text{O}_7$	$\text{Ca}_2\text{Nb}_2\text{O}_7$	$\text{La}_2\text{Ti}_2\text{O}_7$	$\text{Nd}_2\text{Ti}_2\text{O}_7$
結晶構造		斜方晶	斜方晶	単斜晶	単斜晶	単斜晶
格子定数	$a (\text{\AA})$	3.933	3.937	13.40	13.0185	13.02
	$b (\text{\AA})$	26.726	27.198	5.51	5.5474	5.48
	$c (\text{\AA})$	5.683	5.692	7.72	7.8114	7.68
	$\beta$	-	-	$98^\circ 17'$	$98^\circ 43'$	$98^\circ 28'$
密度	$\rho (10^3 \text{kgm}^{-3})$	5.15	7.02		5.78	6.08
融点	$T_m (^\circ\text{C})$	1700	2000	1380	1790	1800
キュリー温度	$T_c (^\circ\text{C})$	1342	-107	$(> T_m)$	1500	$(> 1500)$
飽和分極	$P_s (\mu\text{C/cm}^2)$	9	1.9 *	7	5	9
抗電界	$E_c (\text{kV/cm})$	6	0.4 *	65	45	200
比誘電率	$\epsilon_a$	75	37		42	31
	$\epsilon_b$	46	22		62	43
	$\epsilon_c$	43	644		52	47

\*: 液体窒素温度

### 3.2.1 高温耐性

強誘電体をシリコン集積回路に導入する場合、既存のシリコンプロセスとの整合性を考慮することが重要である。キャパシタ型強誘電体メモリの場合、CMOS(Complementary Metal Oxide Metal)トランジスタを作り込んだ後に厚い絶縁膜で覆い、その上に強誘電体キャパシタを形成する。このため、強誘電体キャパシタ形成工程がCMOSに与える影響を最小限にすることができるだけでなく、CMOS形成に必要な高温熱処理等の工程がほぼ終了してから強誘電体キャパシタを形成できる。しかし、FET型強誘電体メモリはキャパシタ型よりも前の工程での強誘電体キャパシタ形成が要求される。実用的な大きさのMOSトランジスタを形成しようとすると、ゲート電極を形成後にゲート電極自身をマスクとしてソース・ドレインを形成するセルフアラインプロセスを採用しなければならない。セルフアラインプロセスを用いないと、リソグラフィのアライメント余裕を考慮する必要があるためセル面積が増大し、また、アライメントずれによるトランジスタ特性のばらつきも大きくなってしまう。ソース・ドレインの形成には、Siへの不純物元素の導入と、その元素をSiネットワーク構造に取り込む活性化アニールを行う。活性化アニールは800℃以上のアニール温度を必要とする。すなわち、強誘電体キャパシタ形成後に高温アニールを施す必要がある。この高温アニールの際の懸念事項としては、

1. 強誘電体材料の成分元素が拡散しFET特性を劣化させる。
2. 強誘電体材料の成分が蒸発や拡散することにより強誘電体薄膜の組成ずれを起こす。
3. 非酸化雰囲気での高温アニールであるため強誘電体が還元される。

等が考えられる。これらの現象を起こさないためには、強誘電体の融点が高いことが重要である。Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub>系強誘電体はすべて、融点が1300℃以上であり、高温耐性に優れ、シリコン集積回路に導入することができる。

### 3.2.2 還元耐性

強誘電体メモリを作製する場合、強誘電体キャパシタを形成した後に、絶縁分離するための絶縁層形成、集積回路内の配線を形成する配線工程、集積回路を機械的損傷や湿気の進入から防ぐパッシベーション膜の形成工程を行う。絶縁膜にはテトラエトキシシラン(TEOS)やシラン(SiH<sub>4</sub>)を原料ガスにプラズマCVD法で堆積するシリコン酸化膜が用いられ、パッシベーション工程にはシランとアンモニアによるプラズマCVDで形成するシリコン窒化膜が使用される。これらの工程では、水素や水素ラジカルが発生するので、還元性の雰囲気となる。一方、強誘電体材料は一部のものを除いて金属の酸化物であるので、還元雰囲気で温度が上昇すれば、還元が生じ強誘電性の劣化が起こる。このように強誘電体形成以降の工程で強誘電体特性が劣化する現象をプロセスデグラデーションといい、高信頼性の強誘電体メモリ



を実現するうえで考慮すべき重要な事項である。図 3.6は、酸化物の耐還元性が強い金属元素を探索するために、主な金属酸化物についての標準生成ギブスエネルギーを調べたものである。

表 3-3に示すように、Pb や Bi の金属酸化物は生成エネルギーが小さいため、耐還元性に優れているとはいえない。一方、アルカリ土類金属や高次の酸化数をとる元素は酸化物の生成エネルギーが大きく、酸化物が安定である。酸化物の生成エネルギーの大きな Sr や Nb を構成元素とする  $\text{Sr}_2\text{Nb}_2\text{O}_7$  はシリコンプロセスの還元雰囲気による特性劣化の影響を受けにくいと予想される。

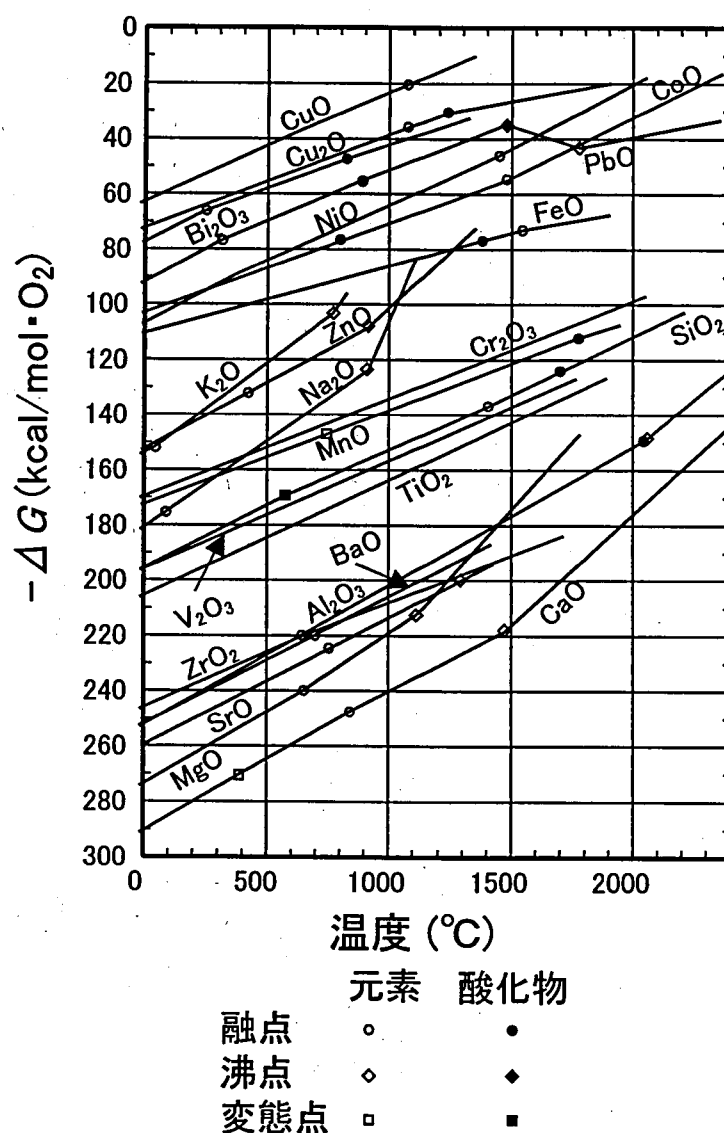


図 3.6 主な金属酸化物の標準生成ギブスエネルギー

表 3-3 主な強誘電体構成元素の酸化物のギブスエネルギー

<table><tr><td>PbO</td><td>-89.82</td></tr><tr><td>ZrO</td><td>-498.47</td></tr><tr><td>TiO<sub>2</sub></td><td>-212.72</td></tr></table>		PbO	-89.82	ZrO	-498.47	TiO <sub>2</sub>	-212.72	<table><tr><td>Bi<sub>2</sub>O<sub>3</sub></td><td>-78.66</td></tr><tr><td>SrO</td><td>-268.64</td></tr><tr><td>Ta<sub>2</sub>O<sub>5</sub></td><td>-182.70</td></tr><tr><td>Nb<sub>2</sub>O<sub>5</sub></td><td>-168.83</td></tr></table>		Bi <sub>2</sub> O <sub>3</sub>	-78.66	SrO	-268.64	Ta <sub>2</sub> O <sub>5</sub>	-182.70	Nb <sub>2</sub> O <sub>5</sub>	-168.83	<table><tr><td>SrO</td><td>-268.64</td></tr><tr><td>Nb<sub>2</sub>O<sub>5</sub></td><td>-168.83</td></tr><tr><td>Ta<sub>2</sub>O<sub>5</sub></td><td>-182.70</td></tr></table>		SrO	-268.64	Nb <sub>2</sub> O <sub>5</sub>	-168.83	Ta <sub>2</sub> O <sub>5</sub>	-182.70
PbO	-89.82																								
ZrO	-498.47																								
TiO <sub>2</sub>	-212.72																								
Bi <sub>2</sub> O <sub>3</sub>	-78.66																								
SrO	-268.64																								
Ta <sub>2</sub> O <sub>5</sub>	-182.70																								
Nb <sub>2</sub> O <sub>5</sub>	-168.83																								
SrO	-268.64																								
Nb <sub>2</sub> O <sub>5</sub>	-168.83																								
Ta <sub>2</sub> O <sub>5</sub>	-182.70																								
(a) PZT 系		(b) SBT 系		(c) STN																					

### 3.3 ゼルゲル法による $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系薄膜の作製

前節で  $\text{Sr}_2\text{Nb}_2\text{O}_7$  を強誘電体材料として選択した。しかしながら、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  系の材料においては、バルク単結晶での強誘電性は研究されているが、薄膜で強誘電性を確認した報告はなかった。本節では、LSI プロセスに適合可能で、良好な強誘電体特性を示す薄膜を形成することを目標とする。

誘電率が低く、良好な強誘電体特性を示す  $\text{Sr}_2\text{Nb}_2\text{O}_7$  系強誘電体薄膜を実現するため、B サイトの元素である Nb を Ta で、A サイトの元素である Sr を Ba で置換するなどして、最適な組成を見つけ出した。

#### 3.3.1 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 薄膜の作製と問題点

薄膜の作製はゾルゲル法により行った。ゾルゲル液の出発原料としては、ストロンチウム 2-メチルヘキサネート [ $\text{Sr}(\text{CH}_3(\text{CH}_2)_3\text{CH}(\text{C}_2\text{H}_5)\text{COO})_2$ ;  $\text{Sr}(\text{OOC})_2$ ]、ニオブエトキシド [ $\text{Nb}(\text{OEt})_5$ ] を用いた。 $\text{Nb}(\text{OEt})_5$  は 2-メトキシエタノール [ $\text{CH}_3\text{OC}_2\text{H}_4\text{OH}$ ] に溶解され、1 時間還流を行う。 $\text{Sr}(\text{OOC})_2$  と Nb のアルコキシド溶液はイソペンチルアセテート [ $\text{CH}_3\text{COO}(\text{CH}_2)_2\text{CH}(\text{CH}_3)_2$ ] に溶解される。完成したゾルゲル溶液の金属酸化物濃度は 7 重量%である。基板には、6 インチ Si(100)ウェハに 400nm のシリコン酸化膜をプラズマ CVD 法により成膜したものをを用いた。この基板の上に、マグネトロンスパッタリングにより、 $\text{IrO}_2$  膜を 65nm 堆積し、続いて Pt を 175nm 堆積し、下部電極を形成した。ゾルゲル溶液を下部電極つき基板の上に適量(2ml)滴下し、スピンドット塗布した。塗布後、直ちに 180℃ のホットプレート上で 3 分間加熱、ゾルゲル溶液の溶剤を蒸発させる。その後、残留した有機成分を除去するため 400℃、20 分間、横型炉で仮焼成をする。スピンドット塗布と乾燥、仮焼成の工程を 4 回繰り返す。その後、700℃ から 1000℃ の RTA(Rapid Thermal Annealing)処理を行い、膜を結晶化する。RTA の雰囲気は 100%酸素とし、処理時間は 1 分である。この結晶化アニールののち、上部電極として Pt を 175nm スパ

ッタリングにより堆積した。その後、ドライエッチングにより  $50\mu\text{m}$  正方の上部電極を形成した。

図 3.7に結晶化アニール温度を変えて成膜した  $\text{Sr}_2\text{Nb}_2\text{O}_7$ (以下 SN と省略記号を使用)薄膜の表面モフォロジーの SEM 像を示す。これらの SEM 像は、 $20^\circ$ の角度から撮影した鳥瞰像である。 $800^\circ\text{C}$ 以下のアニール後では平滑な表面が得られているが、 $900^\circ\text{C}$ 以上で結晶粒が成長し、表面に凹凸が生じている。図 3.8に示す積層構造で作製した SN 薄膜の X 線回折パターンを図 3.9に示す。アニール温度  $900^\circ\text{C}$ 以上で強誘電性 SN 結晶からのピークが観測された。配向はランダムである。電気的特性の評価を行ったが、強誘電性は確認できなかった。LCR メータにより測定した SN 薄膜の比誘電率は 39 であった。

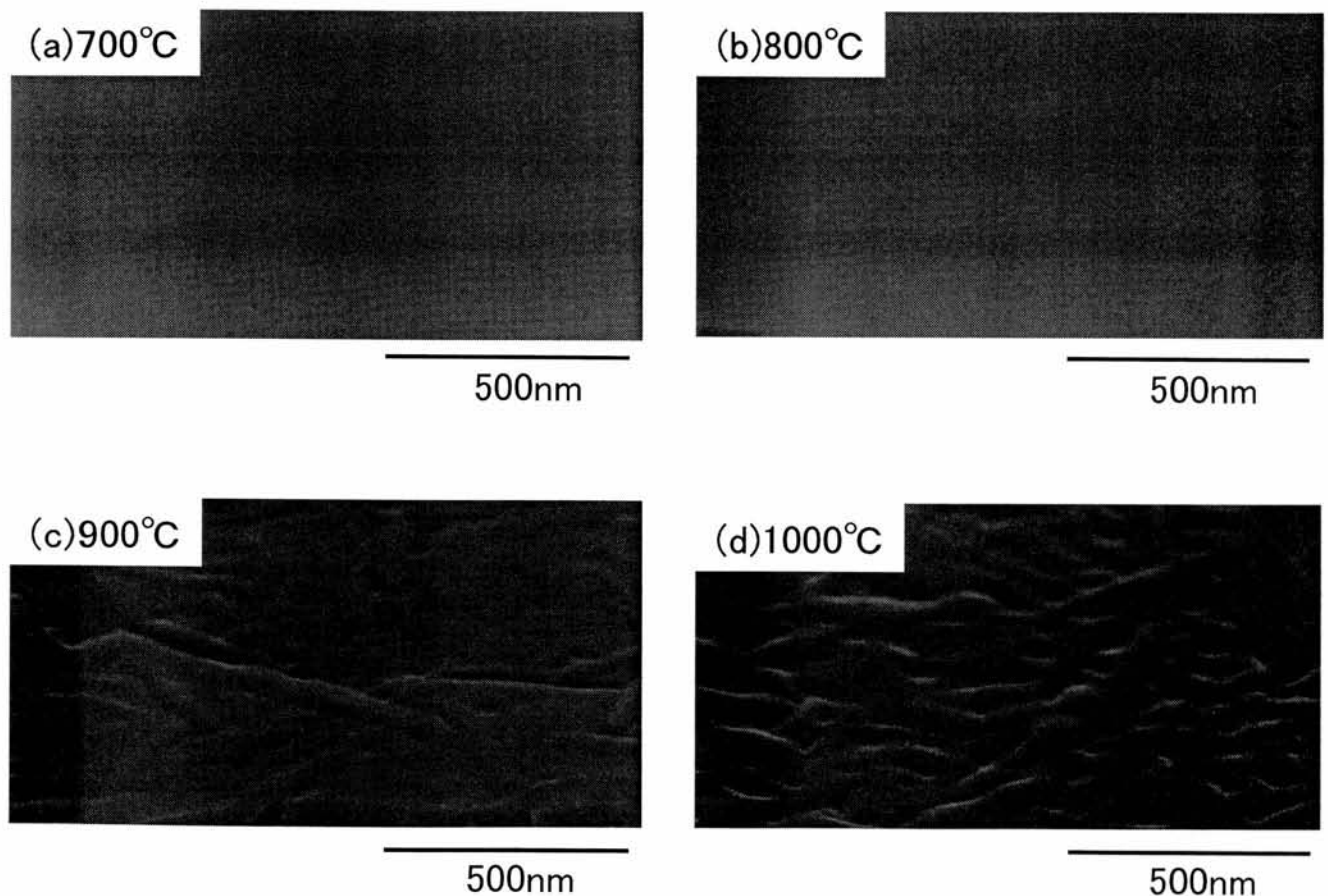


図 3.7 SN 薄膜の表面モフォロジー: アニール温度(a) $700^\circ\text{C}$ , (b) $800^\circ\text{C}$ , (c) $900^\circ\text{C}$ , (d) $1000^\circ\text{C}$

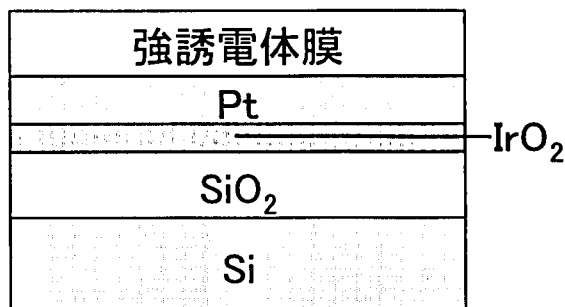


図 3.8 X線回折測定試料の積層構造

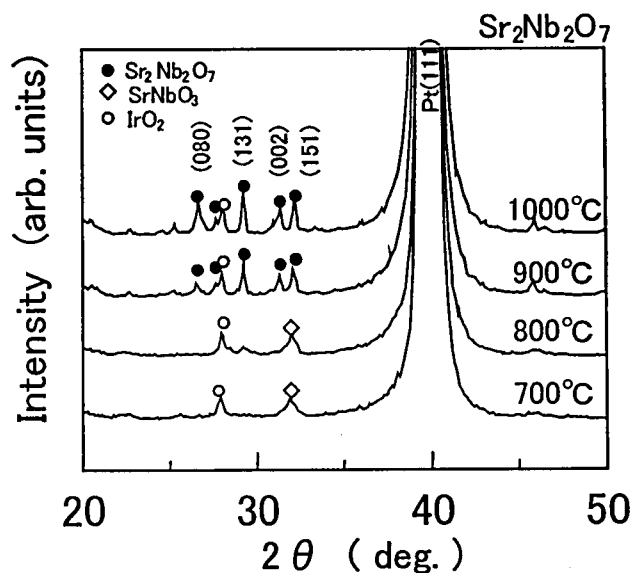


図 3.9 SN 薄膜の X 線回折パターン

強誘電性が発現しない理由はいくつか考えられる。一つは結晶化が十分でないことである。もう一つは、SN のキュリー温度が非常に高い(1342℃)ため、 $\text{LiNbO}_3$  で知られているような分極の凍結が生じていることである[6]。そこで、SN のキュリー温度を下げることを考えた。Nanamatsu らは、SN のバルク単結晶において、Nb を Ta で置換していくことでキュリー温度が 1342℃ から -107℃ まで単調減少することを報告している[5]。SN と  $\text{Sr}_2\text{Ta}_2\text{O}_7$  (以下 ST と省略記号を使用) は図 3.10、図 3.11 に示すように同様の結晶構造をもっているので、両者の固溶体を作製し、キュリー温度を制御する実験を行う。図 3.12 に  $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  のキュリー温度の Ta/(Nb+Ta) 比  $x$  の依存性を示す[5]。キュリー温度が 600℃ 以下となる  $x > 0.6$  の範囲を重点的に成膜を試みた。

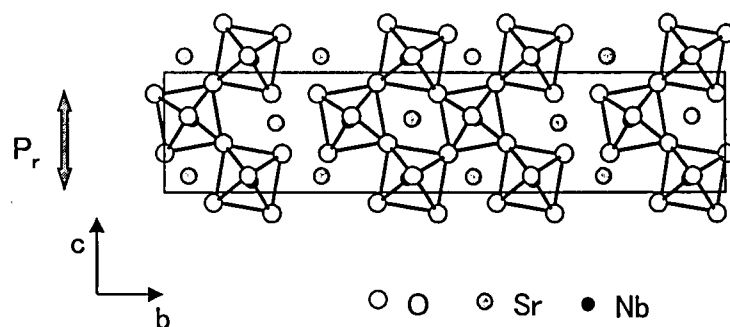


図 3.10 SN の結晶構造

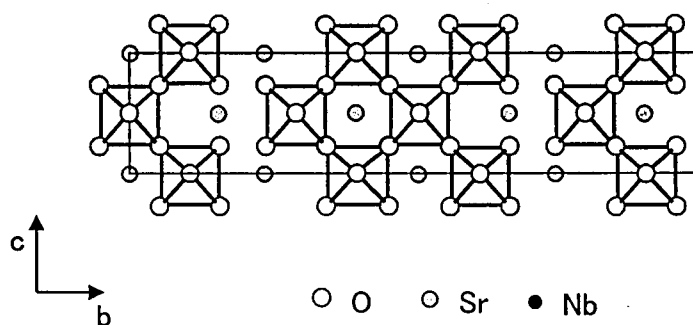


図 3.11 ST の結晶構造

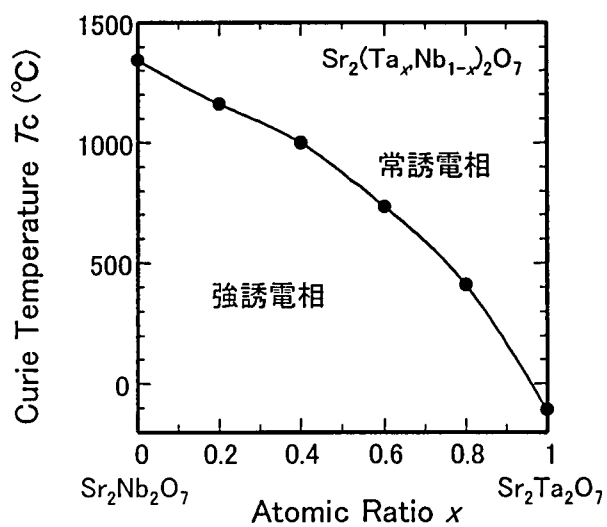


図 3.12 Ta/(Nb+Ta)比  $x$  を変化させたときのバルク  $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  のキュリー温度( $T_c$ )[5]

3.3.2 Ta 置換した  $\text{Sr}_2(\text{Nb,Ta})_2\text{O}_7$  薄膜による強誘電性発現

SN と ST の固溶体は  $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  (以下 STN) と表すことができ、 $x$  は B サイトの Ta の割合を示す。 $x$  が 0.4, 0.6, 0.7, 0.8, 0.9 の組成について成膜を行った。SN と ST の 2 種類のゾルゲル溶液を用意し、塗布直前に重量比率で混合することで所望の Ta 組成の薄膜を作製した。Ta 原料としては、Sr の場合と同様に、タンタルエトキシド  $[\text{Ta}(\text{OEt})_5]$  を用いた。スピン塗布の繰り返し回数は 2 回とし、膜厚はおよそ 150nm である。 $x=0.7$  組成 STN 薄膜の X 線回折パターン of 結晶化アニール温度依存性を図 3.13 に示す。アニール温度が、 $850^\circ\text{C}$  および  $900^\circ\text{C}$  のときは強誘電性を示さない  $\text{Sr}(\text{Ta}_x\text{Nb}_{1-x})\text{O}_3$ 、 $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_{10}\text{O}_{27}$  のピークが確認できる。アニール温度をさらに上げて  $950^\circ\text{C}$  にすると、これらのピークは消え、強誘電性 STN からのピークが現れた。配向はランダムである。 $950^\circ\text{C}$  で結晶化アニールした STN の SEM 観察像を図 3.14 に示す。Ta/(Nb+Ta) 比  $x$  が 0.4, 0.6 の場合は数十から数百 nm サイズの結晶が成長していることが分かる。結晶粒の形状は一軸方向に長い葉巻型をしており、STN は結晶成長速度が結晶方位で大きく異なることが示唆される。Ta の置換率が大きい  $x=0.7\sim 0.9$  では、STN 薄膜の表面モフォロジーは平坦で、膜は微細な結晶粒により構成されている。

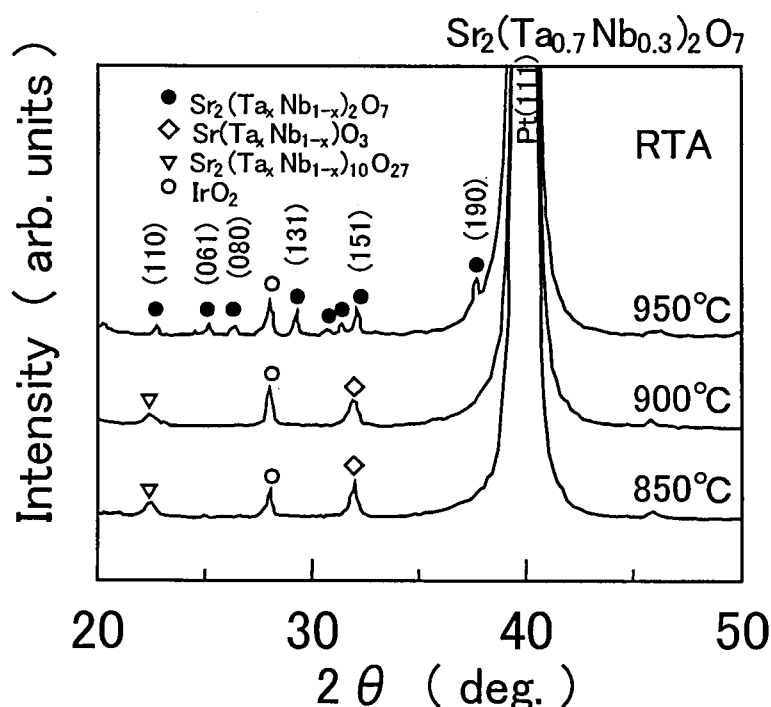


図 3.13 STN 薄膜の X 線回折パターンの結晶化アニール温度依存性

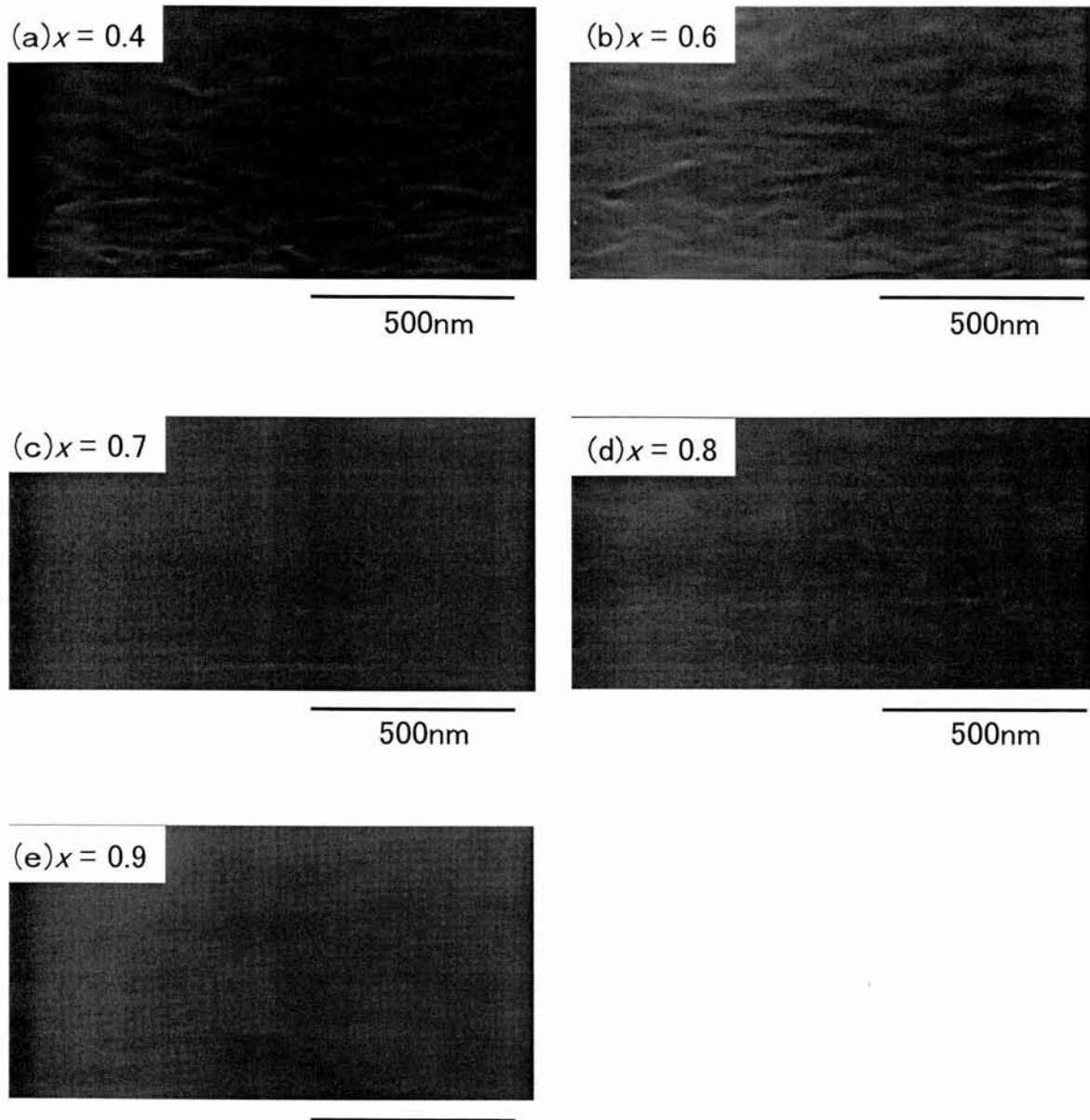


図 3.14 STN 薄膜の SEM 像: Ta/(Nb+Ta)比  $x$  (a)0.4, (b)0.6, (c)0.7, (d)0.8, (e)0.9

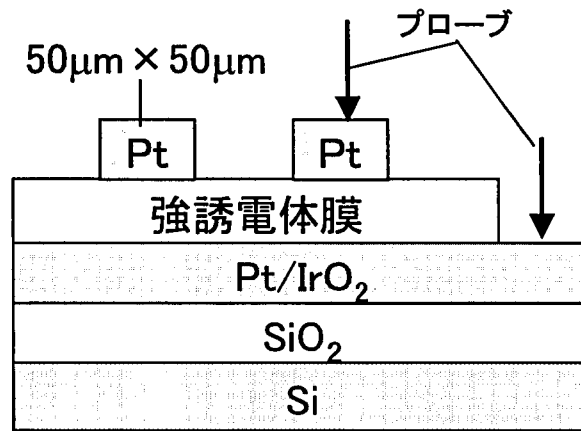


図 3.15 電気的特性評価試料の積層構造

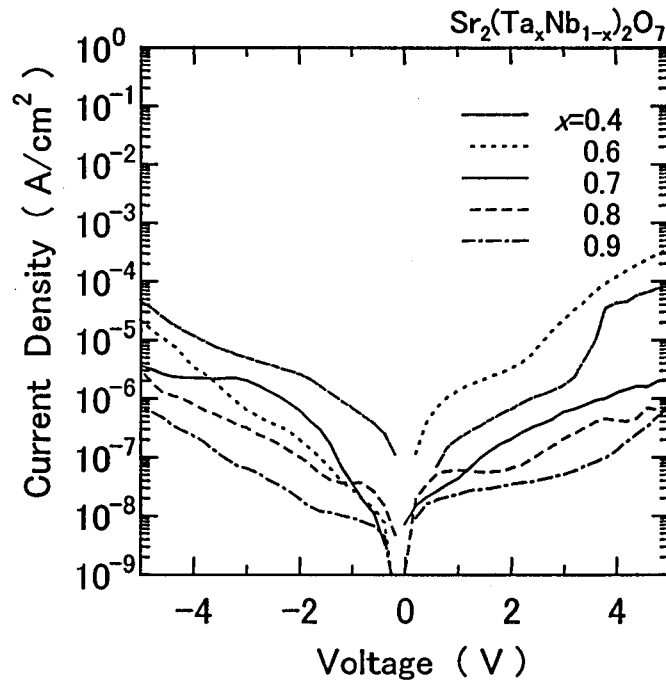


図 3.16 STN 薄膜のリーク特性

ここでは、図 3.15に示すように Pt を上部電極として電気的特性の評価を行った。図 3.16 に STN 薄膜のリーク電流特性を示す。リーク電流は Ta 量が増えるに伴い減少する傾向が見られる。 $x=0.7, 0.8, 0.9$  組成の薄膜において、3V 印加で  $1 \times 10^{-6}$  A/cm<sup>2</sup> 以下と良好な特性を示している。



ソーヤ・タワー回路を用い、1kHz の三角波で評価した STN 薄膜のヒステリシス特性を図 3.17 に示す。強誘電性のヒステリシス特性が組成  $x=0.7$  から 0.9 の範囲で確認できた。 $x=0.4$  および 0.6 の組成の薄膜ではリーク電流が大きくヒステリシス特性の測定ができなかった。 $x=0.7$  組成のとき最大の残留分極値を示した。残留分極と抗電界はそれぞれ  $0.5\mu\text{C}/\text{cm}^2$ 、 $44\text{kV}/\text{cm}$  である。

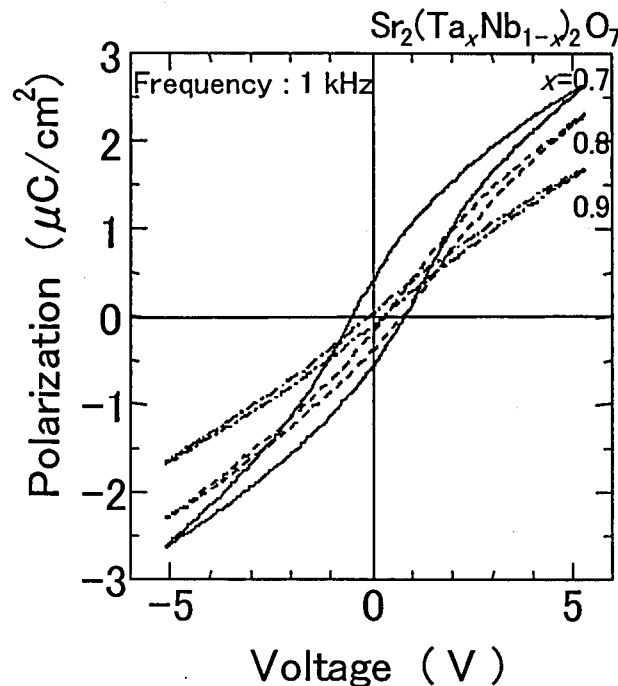


図 3.17 STN 薄膜のヒステリシス特性

$x=0.7, 0.8, 0.9$  の STN 薄膜について静電容量のバイアス電圧依存性を測定した。図 3.18 に容量から比誘電率を計算したものを示す。強誘電体に特有の 2 つのずれた山(バタフライカーブ)が観測された。0 バイアスでの STN 薄膜の誘電率は、 $x=0.7$  のとき 53 である。この値は、通常用いられている PZT 強誘電体の比誘電率 300~1500 と比較すると、1桁小さいものである。前節の SN 薄膜で得られた 39 よりやや大きくなっているが、これは ST の c 軸方向の比誘電率が 644 と非常に大きいことが影響しているものと思われる。図 3.19 に  $x=0.7$  組成 STN 薄膜の比誘電率の周波数特性を示す。測定は 50~1MHz の範囲で行い、損失係数  $\tan\delta$  も測定した。図より 50~1MHz の範囲で比誘電率は大きな分散を示さず、界面分極のような不完全なイオンの動きに伴う誘電率成分がほとんど無いことを確認できた。損失係数 ( $\tan\delta$ ) は 0.02 から 0.05 程度で、PZT 薄膜と同程度の、良好なキャパシタが得られている。

図 3.20に比誘電率の温度依存性を示す。参考のため、図 3.21にバルク STN での比誘電率の温度依存性を示す。 $x=0.9$  の STN 薄膜では、比誘電率が極大値をもち、キュリー温度が  $200^{\circ}\text{C}$  付近にあることが分かる。これは、図 3.12に示したバルク STN での値とほぼ同じである。 $x=0.7$  では明確な比誘電率のピークは確認できず、比誘電率は少なくとも  $300^{\circ}\text{C}$  以上であると予測される。 $300^{\circ}\text{C}$  以上では損失係数( $\tan\delta$ )が 0.1 以上を超え、リーク電流成分が顕著になり、比誘電率の測定が困難であった。しかしながら、 $x=0.9$  での結果から、Ta と Nb の配合比を調整することで、薄膜 STN でキュリー温度を制御できるという仮説を証明することができた。

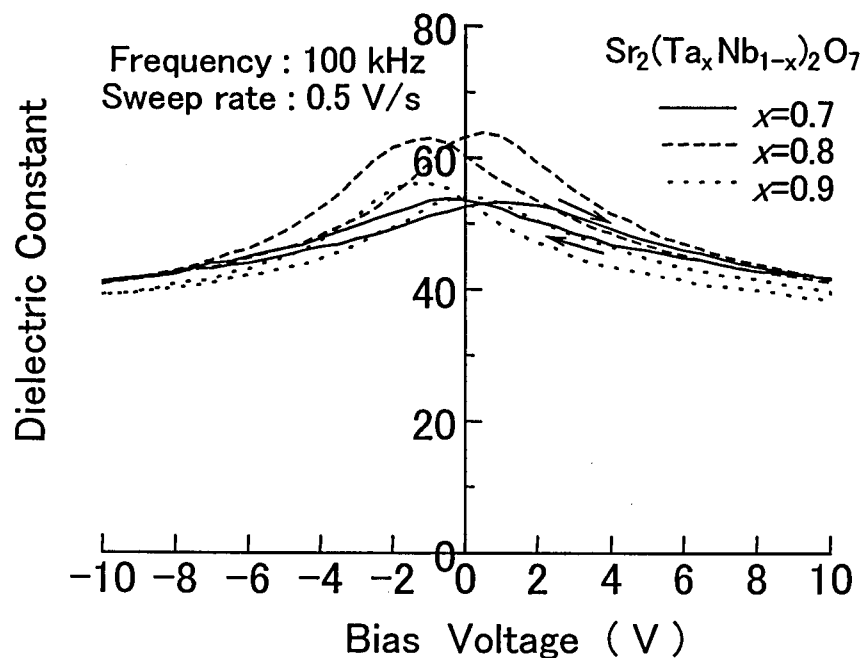


図 3.18 薄膜の比誘電率-電圧特性

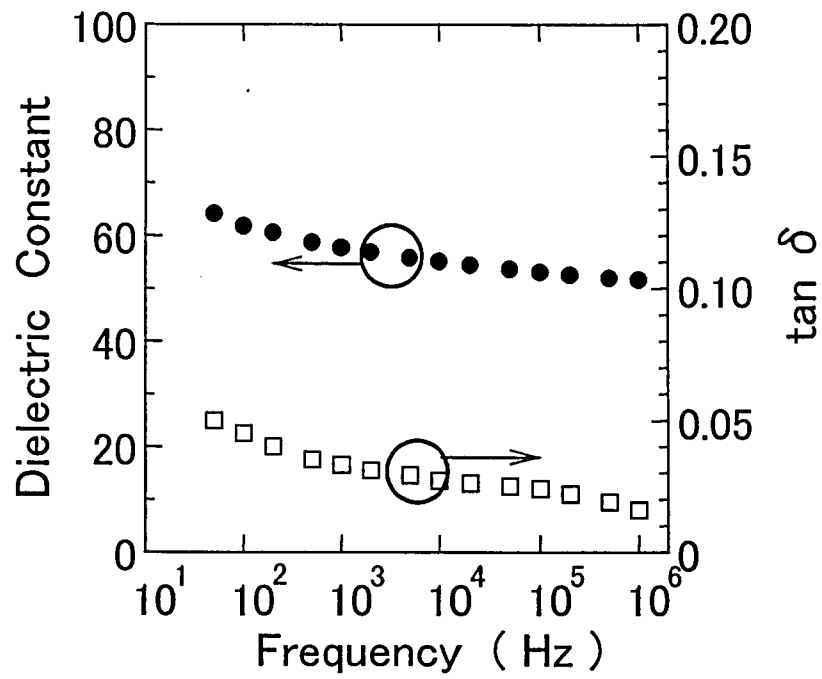


図 3.19 比誘電率の周波数依存性

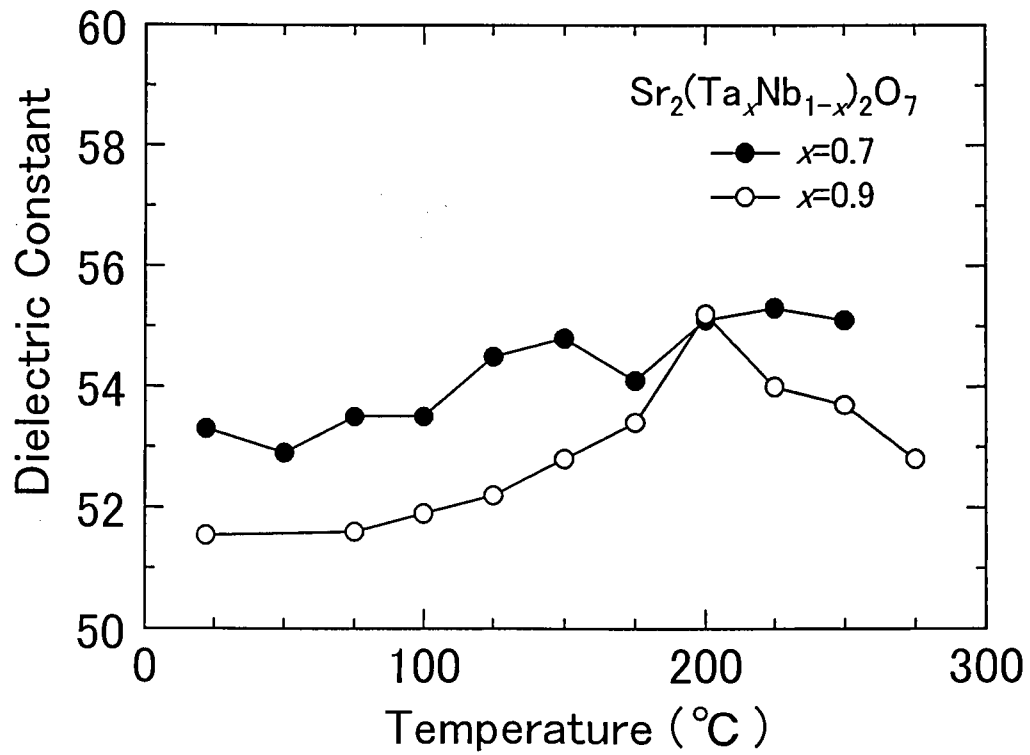


図 3.20 比誘電率の温度依存性

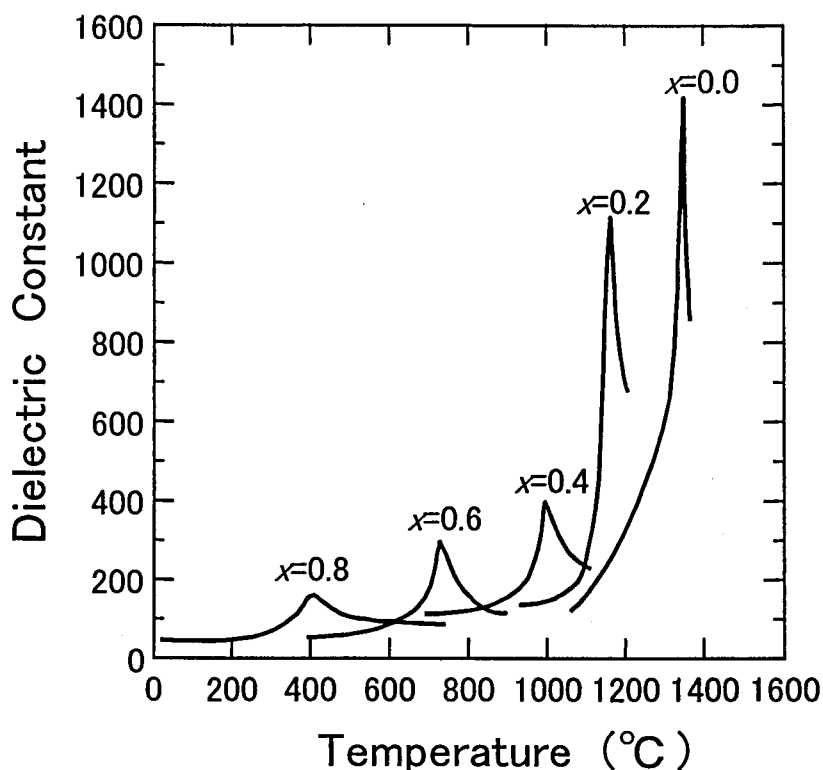


図 3.21 バルク STN の比誘電率の温度依存性[5]

次に、Ta 添加と同様の効果があると期待される A サイト元素の Ba 置換と、SBT 系で強誘電性の改善が報告されている A サイト元素を化学量論組成からずらす手法を試みた。

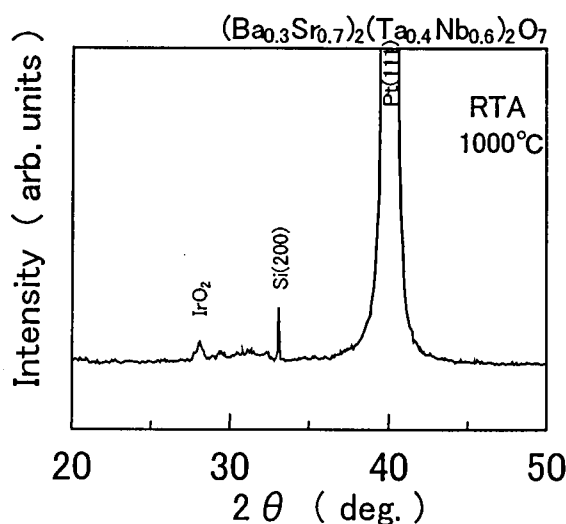
SN の A サイト元素である Sr を置換できる元素として Ca, Pb, Ba がバルクで報告されている [5]。表 3-4 に SN の A サイト置換元素のイオン半径と置換率 0.4 のとき、つまり置換元素を A と表した際  $(\text{Sr}_{0.6}\text{A}_{0.4})_2\text{Nb}_2\text{O}_7$  のキュリー温度を示す。Sr の場合は SN:  $\text{Sr}_2\text{Nb}_2\text{O}_7$  である。A サイトのイオン半径とキュリー温度の間には相関が指摘されている。このバルクの知見から、A サイトの Sr を Ba で置換することで、キュリー温度を低減し、B サイトの Nb を Ta で置換した場合と同様の効果が期待できる。

Ba を選択する理由としては、キュリー温度低減効果が最も大きいと予想されることのほかに、LSI の層間膜で使用する  $\text{SiO}_2$  中の拡散係数が、Ca や Pb と比較して小さいことが上げられる。

表 3-4 SN の A サイト置換元素のイオン半径と  $(\text{Sr}_{0.6}\text{A}_{0.4})_2\text{Nb}_2\text{O}_7$  のキュリー温度

元素	イオン半径(Å)	キュリー温度(°C)
Ca	0.99	>1400
Sr	1.12	1342
Pb	1.20	1225
Ba	1.34	825

STN の Sr を Ba 置換した化合物は、A サイト Ba 割合  $\text{Ba}/(\text{Sr}+\text{Ba})$  を  $y$  としたとき、 $(\text{Ba}_y\text{Sr}_{1-y})_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  (以下 BSTN) と表すことができる。ここでは、Ta 比  $x=0, 0.4, 0.7$  の組成に関して、Sr 比  $y$  を 0 から 0.6 まで 0.1 刻みでゾルゲル法により成膜実験を行った。結晶化温度は  $900\sim 1000^\circ\text{C}$  とした。結果、この条件で作製した膜の X 線回折パターン測定からは、強誘電性 BSTN に由来するピークは確認できず、電氣的にも強誘電性は確認できなかった。図 3.22 に一例として、 $x=0.4, y=0.3$ 、結晶化温度  $1000^\circ\text{C}$  で作製した BSTN 薄膜の X 線回折パターンを示す。 $1000^\circ\text{C}$  の結晶化においても、ほとんど結晶化が進んでおらず、Ba を添加することで、STN の結晶化温度が上昇したと考えられる。 $1000^\circ\text{C}$  以上の結晶化温度は、下地のシリコン集積回路の不純物濃度分布を変えたり、層間絶縁膜を破壊したりするので、研究範囲に入れなかった。例として、 $1050^\circ\text{C}$  でアニールしたときに、CVD で作製した層間絶縁膜が気泡を出して変成したものの断面 SEM 像を示す。

図 3.22  $(\text{Ba}_y\text{Sr}_{1-y})_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  薄膜( $x=0.4, y=0.3$ 、結晶化温度  $1000^\circ\text{C}$ )の X 線回折パターン

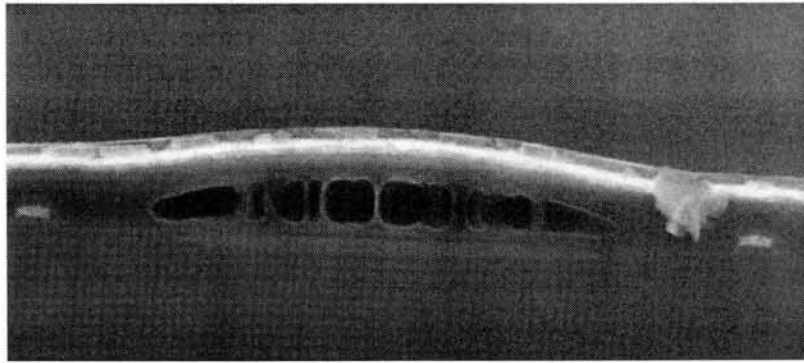


図 3.23 1050°Cアニール後のシリコン集積回路の断面 SEM 像

本研究で作製した $(\text{Ba}_y\text{Sr}_{1-y})_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  薄膜の電気的性質を組成でまとめたものを図 3.24に示す。図中、強誘電性を示したものは◎や○、強誘電性を示さないリーク電流の少ない常誘電体を△、リーク電流の大きい膜を×の記号で表した。ここでは、3V 印加時のリーク電流密度が $1 \times 10^{-4} \text{ A/cm}^2$  以上のものを、× (リーク電流が大きい)と定義した。図中、記号が存在していない組成は、実験を行っていないことを示している。



図 3.24 本研究で作製した $(\text{Ba}_y\text{Sr}_{1-y})_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$  薄膜の電気的性質のまとめ

A サイトの Ba 添加により強誘電性の発現を期待したが、B サイトの Ta 置換のような効果を得ることができなかった。BSTN 薄膜のリーク電流は、バルクのキュリー温度が  $700\sim 800^\circ\text{C}$  以上になると大きくなる、という傾向が見られる。同様の傾向は PZT でも確認されている。PZT の B サイトは Zr と Ti で占められているが、Ti の割合が 0.8 以上になると、リーク電流が多くなることが知られている。PZT の相図を図 3.25 示す。PZT で Ti 量が増加すると正方晶の  $a, c$  軸の長さの差が大きくなり、キュリー温度も上昇する。結晶化アニールの高温時には、PZT は立方晶で等方性であるが、温度を下げていきキュリー温度より低温になると相転移を起こし正方晶で異方性となる。そのとき、多結晶膜全体で  $a, c$  軸がそろっていないと、歪が生じ、歪が大きい時には粒界部分で亀裂が入り、リーク電流が増加すると考えられる。本研究のように、強誘電体の下地に強誘電体がエピタキシャル成長するような結晶を選択することができない状況では、強誘電体の異方性を完全に制御することは難しい。したがって、異方性の少ない、つまり、常誘電体に近く、キュリー温度が室温から大きく離れていない強誘電体を選ぶことが、材料選択の一つの指針であるといえる。

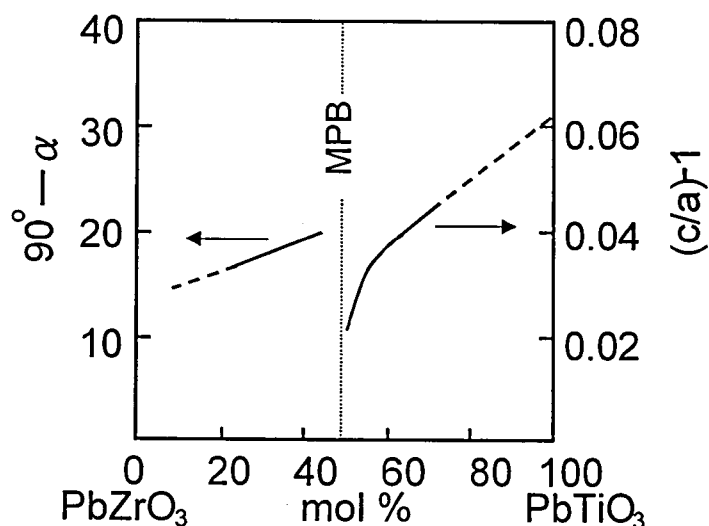


図 3.25 PZT の格子定数

最後に、SBT 系で強誘電性の改善が報告されている A サイト元素を化学量論組成からずらす手法を試みた。SBT 系では A サイト Sr 量が化学量論 1.0 に対して 0.7 と 3 割少ない場合に、最も大きな残留分極と角型性の良いヒステリシス特性が得られている[7]。ここでは、Sr 組成の異なるゾルゲル溶液を用意し、結晶化アニール温度  $950^\circ\text{C}$  で成膜を行った。Sr 組成は、化学量論組成の 2.0 を中心に 1.2, 1.6, 2.4, 2.8 と 20% 刻みとした。Ta 量  $x$  は 0.7 である。各 Sr 組成でのヒステリシス特性を図 3.26 に示す。Sr 組成 2.4 のとき、僅かな強誘電性が得ら

### 第3章 低誘電率強誘電体材料の開発

れているようにも見えるが、それ以外の量論組成をはずしたものは、全く強誘電性を示さず、常誘電体である。STN 薄膜に関しては化学量論組成付近で良好な強誘電性を示すと考えられる。これらの結果から、本研究では、低誘電率強誘電体である SN 系薄膜の組成は、その強誘電性と誘電率の低さ、リーク電流の少なさから、Ta 置換量が 0.7 の  $\text{Sr}_2(\text{Ta}_{0.7}\text{Nb}_{0.3})_2\text{O}_7$  が最適であると結論付けることができる。



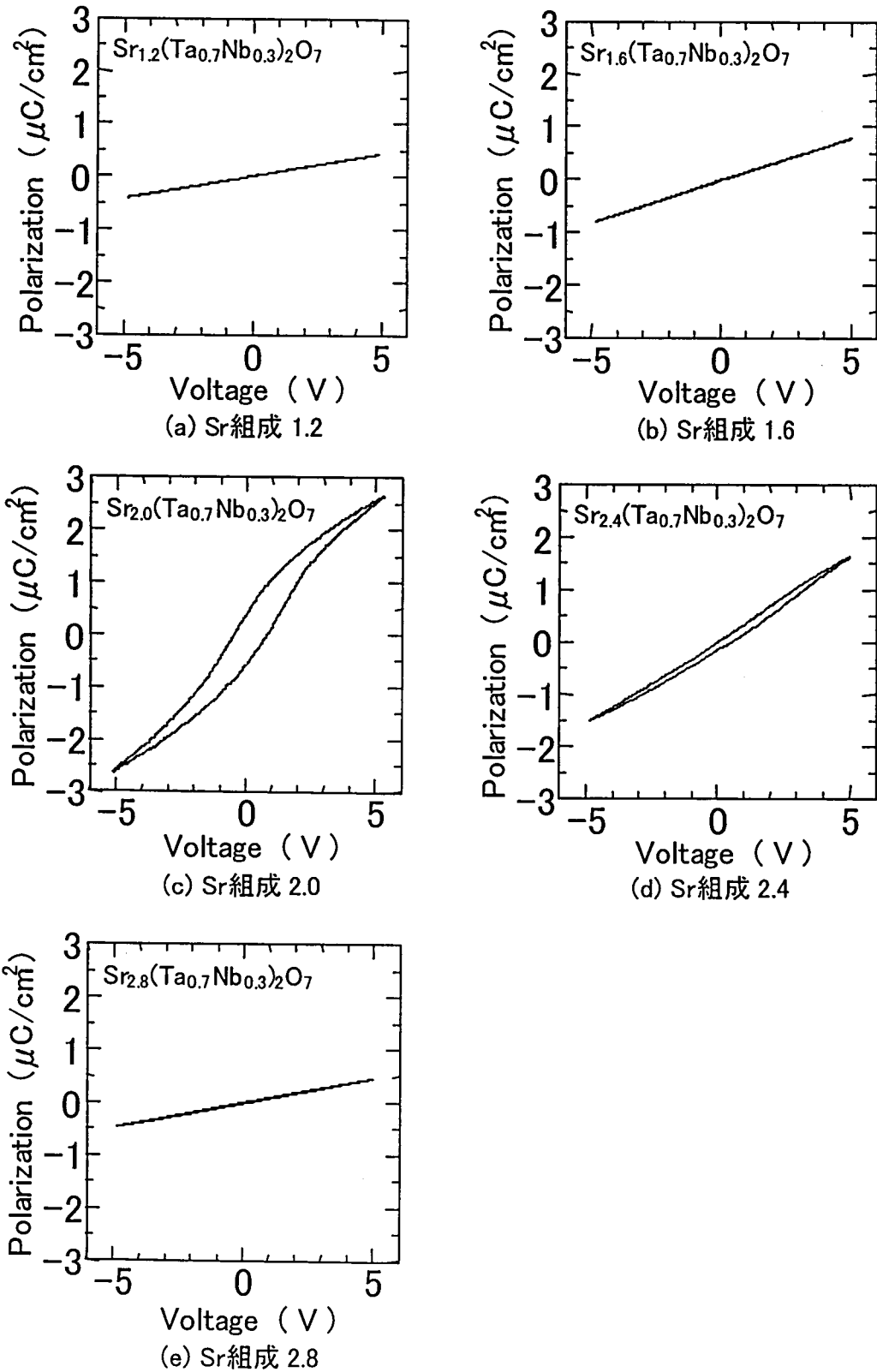


図 3.26 Sr 組成を変化させたときの STN 薄膜のヒステリシス特性、  
Sr 組成(a)1.2, (b)1.6, (c)2.0, (d)2.4, (e)2.8

## 参考文献

- [1] S. Y. Wu: IEEE Trans. Electron Devices **ED-16** (6) (1969) 525.
- [2] “Landolt-Bonstein 3/16 Ferroelectric and Related Substances” 1981.
- [3] S. B. Krupanidhi, A. Mansingh and M. Sayer: Ferroelectrics **50** (1983) 443.
- [4] 川端昭: “電子材料・部品と計測”、(コロナ社、1982) 106.
- [5] T. Nanamatsu, M. Kimura and T. Kawamura: J. Phys. Soc. Jpn. **38** (1975) 817.
- [6] N. Niizeki, T. Yamada and H. Toyada: Jpn. J. Appl. Phys. **6** (1967) 318.
- [7] T. Atsuki, N. Soyama, T. Yonezawa and K. Ogi: Jpn. J. Appl. Phys. **34** (1995) 5096.

## 第4章 FET 型強誘電体メモリの作製と評価

フローティングゲート型の強誘電体メモリは、1 つのトランジスタでメモリセルを構成でき、スケーリング則に従うデバイスであるため、大容量のメモリを実現する可能性を持つ。また、非破壊の読み出しが可能であるという特徴を持つため、高速動作、低消費電力動作が可能となる。フローティングゲート型の強誘電体メモリのなかでも、MFMIS 構造は、強誘電体層(F 層)とゲート絶縁膜層(I 層)の間に、相互拡散を防ぐバリア層となるフローティングゲート層(M 層)を入れるため、F 層と I 層の材料選択を増やすことができる。具体的には、I 層として、集積回路で高信頼性の実績がある、シリコン酸化膜を用いることが可能となる。フローティングゲート層の無い MFIS 構造では、各種金属元素に対して拡散バリア性能の低いシリコン酸化膜を用いることは困難であった。

ここでは、第 3 章で開発した STN 強誘電体薄膜を用いて MFMIS 構造を作製する。その際、MFMIS 構造 FET 型メモリとして所望の動作をすることは勿論のこと、MOS トランジスタのゲート酸化膜やシリコンに対して特性を変化させる重金属汚染を生じないことが重要である。このためバリア層の材料を工夫し、STN 強誘電体薄膜の元素が、下の MOS トランジスタを汚染していないことを確認した。さらに、作製した素子のメモリ特性、特にデータ保持時間に関して考察を行う。

### 4.1 MFMIS 構造の作製

図 4.1 に STN 強誘電体薄膜を用いた MFMIS FET の概略図を示す。本章で作製する標準の MFMIS FET 薄膜のパラメータを表 4-1 に示す。下部 Pt、 $\text{IrO}_2$  および n 型多結晶 Si の積層がフローティングゲートである M 層をなしている。強誘電体の下部電極としては、耐酸性に優れ、STN と反応しない Pt を選択した。MIS のゲート電極としては、シリコン MOS 構造で信頼性の実績のある多結晶 Si 膜を使用する。しかしながら、MOS ゲートの多結晶 Si の上に直接 Pt を成膜すると、STN の結晶化アニールの際に、多結晶 Si と Pt が反応し Pt のシリサイドが生成し、体積変化により、膜の剥離が生じるという問題が発生した。そこで、PZT 強誘電体キャパシタにおいて Pb の拡散バリアとして利用されている  $\text{IrO}_2$  を多結晶 Si と Pt 電極の間にはさむことを試みた。

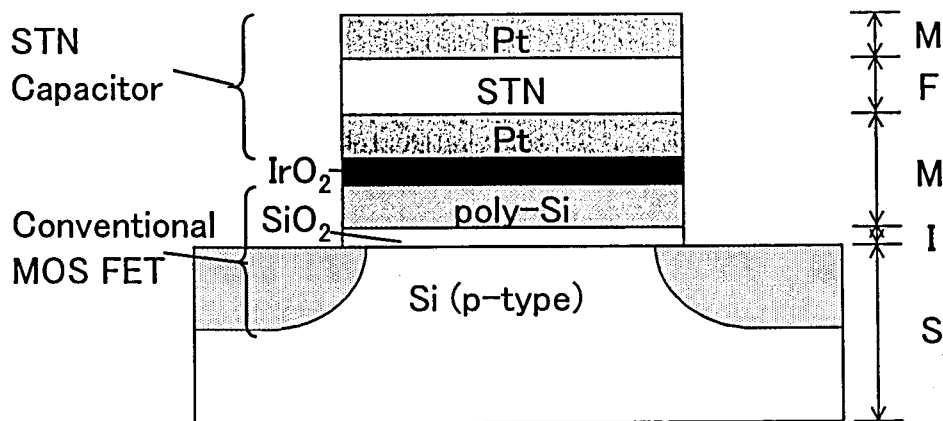


図 4.1 MFMIS FET の概略図

表 4-1 MFMIS FET の標準パラメータ

層	膜厚 [nm]	比誘電率	役割
上部 Pt	175	-	上部電極
STN	150	40	強誘電層
下部 Pt	175	-	下部電極
IrO <sub>2</sub>	65	-	拡散バリア
n 型多結晶 Si	150	-	MOS ゲート電極
SiO <sub>2</sub>	13	3.9	ゲート酸化膜

図 4.2に、多結晶 Si 上に IrO<sub>2</sub> 層を介して作製した STN 強誘電キャパシタのヒステリシス特性を示す。第3章で絶縁膜上に作製した STN キャパシタと同様に、B サイトの Ta 量  $x$  が 0.7 から 0.9 の範囲で、強誘電性を発現した。 $x=0.7$  のとき最大の  $P_r=0.4 \mu\text{C}/\text{cm}^2$  が得られた。

多結晶 Si 上に作製した STN キャパシタの断面 SEM 像を図 4.3に示す。950℃の結晶化アニール後においても、それぞれの層の境界が平坦ではっきり観察できる。IrO<sub>2</sub> 層により Pt と Si の反応が抑えられていることを確認するために、X 線回折パターンの測定を行ったものを図 4.4に示す。Pt シリサイドからのピーク、例えば、PtSi(121):  $43.58^\circ$  , PtSi(101):  $28.96^\circ$  , Pt<sub>2</sub>Si(112):  $44.69^\circ$  , Pt<sub>2</sub>Si(110):  $32.12^\circ$  は観測されず、Pt のシリサイド化が抑えられていることを確認した。また、STN 薄膜はランダム配向の多結晶膜であることも分かる。

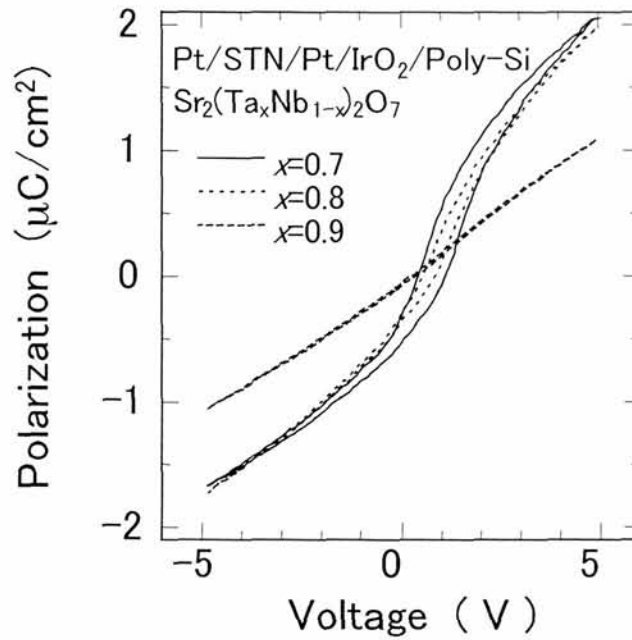


図 4.2 多結晶 Si 上の STN キャパシタのヒステリシス特性

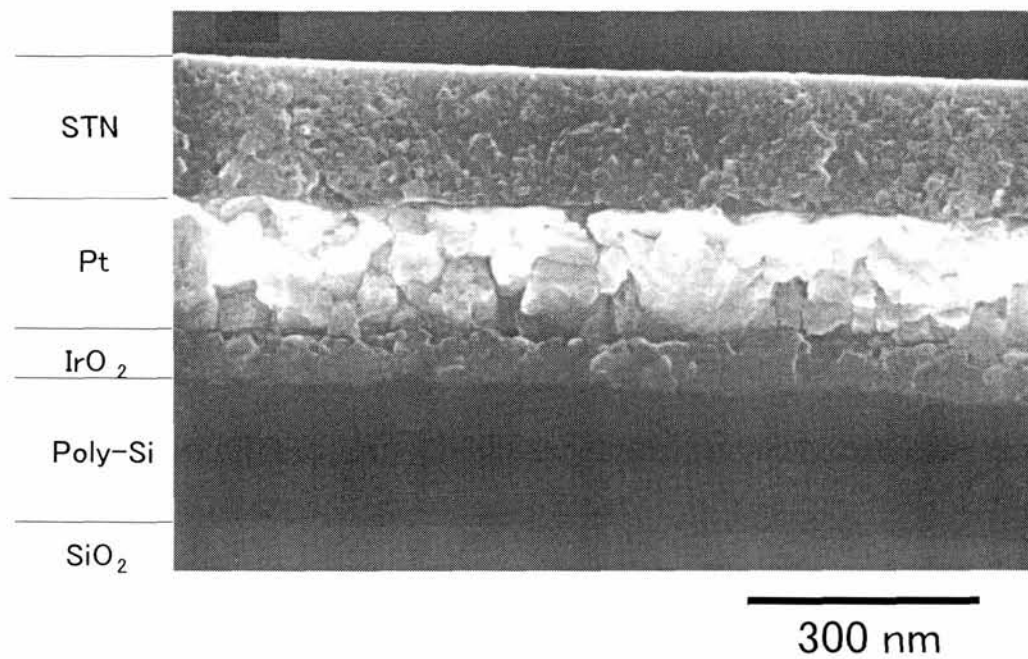


図 4.3 多結晶 Si 上の STN キャパシタの断面 SEM 像

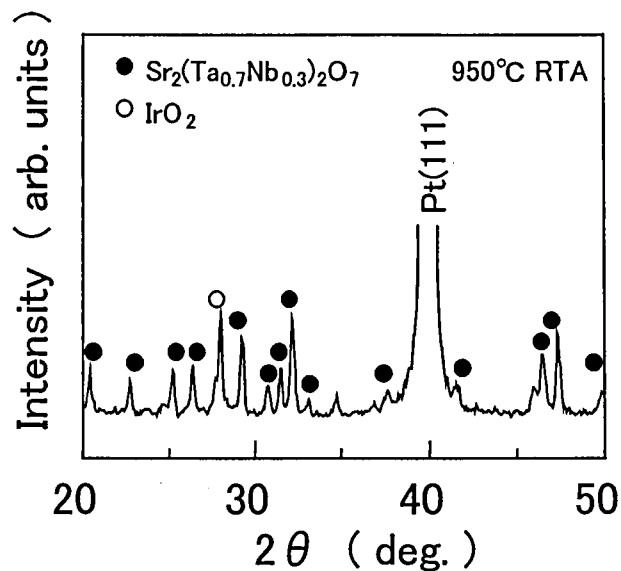


図 4.4 多結晶 Si 上の STN キャパシタの X 線回折パターン

多結晶 Si 上 STN キャパシタの深さ方向元素分布を SIMS により分析したものを、図 4.5 に示す。STN の構成元素である Sr, Ta, Nb の MOS キャパシタへの拡散や多結晶 Si(poly-Si) と Pt 電極との反応が IrO<sub>2</sub> 層により抑えられていることが確認できた。

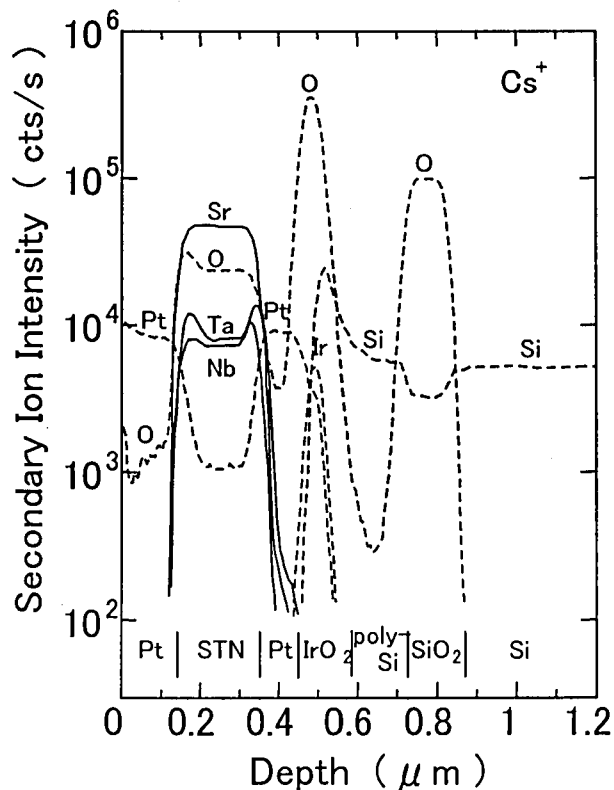
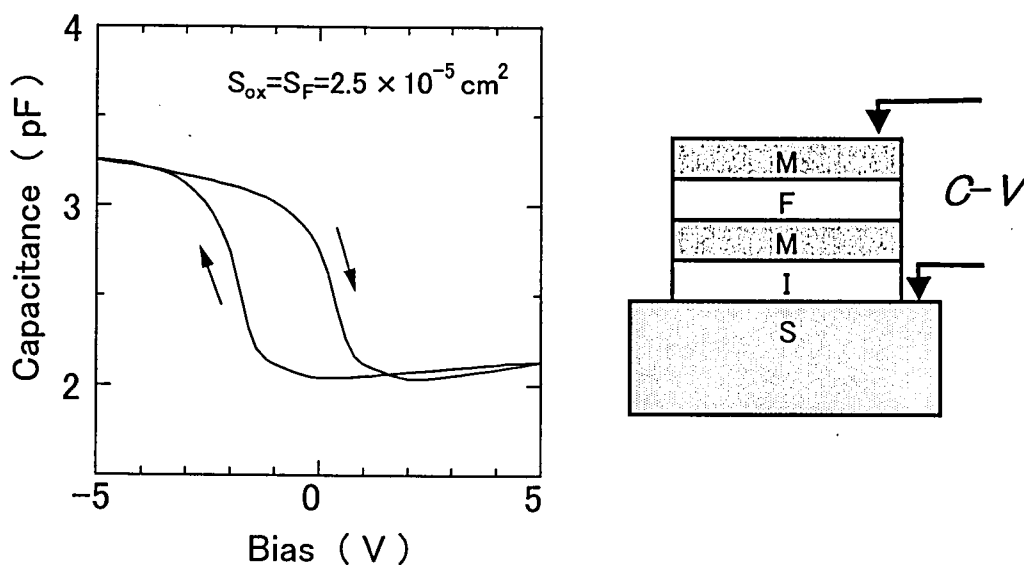


図 4.5 多結晶 Si 上の STN キャパシタの SIMS 深さ方向分析

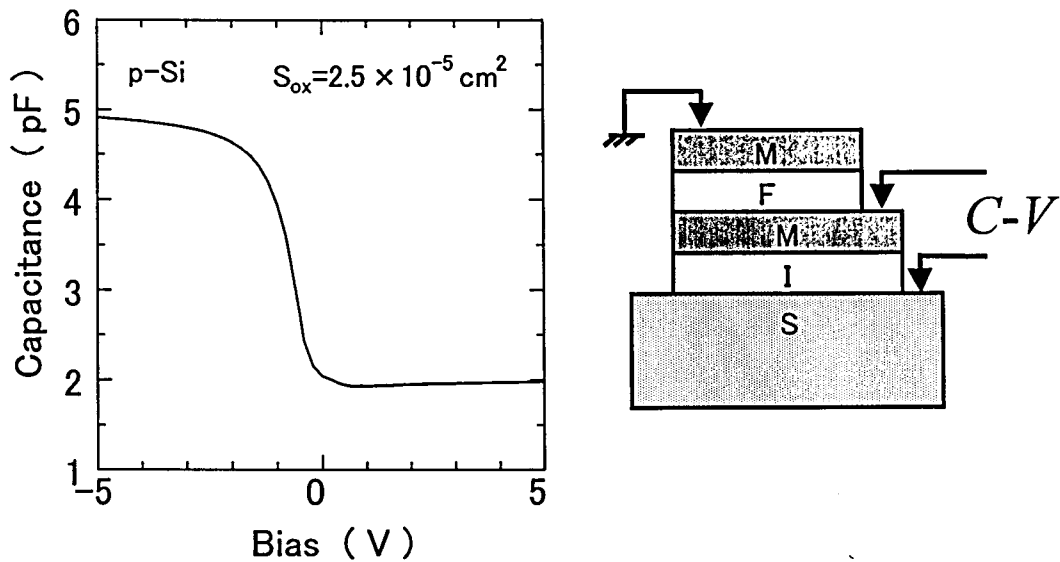
## 4.2 メモリの電气的特性

STN 強誘電薄膜を用いた MFMIS キャパシタを作製した。キャパシタの電極面積は  $50 \times 50 \mu\text{m}^2$  で STN および  $\text{SiO}_2$  の膜厚は、それぞれ、150 nm, 13 nm である。

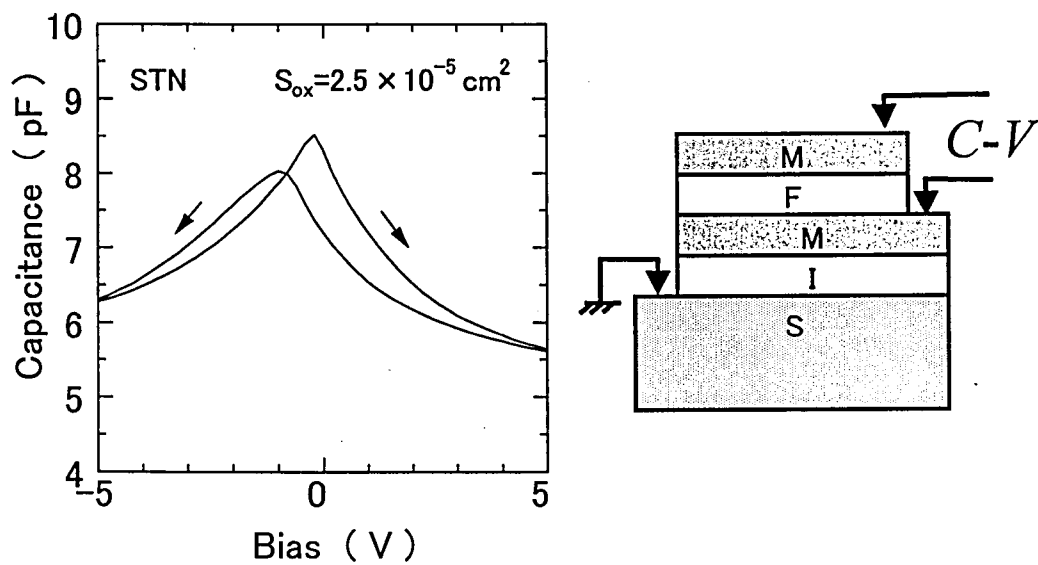
図 4.6(a)に MFMIS キャパシタの高周波容量電圧( $C-V$ )特性を示す。 $C-V$  特性は履歴(ヒステリシス)を示し、ループの方向は、強誘電性の分極反転を含む、正の可動イオンの存在を示す。図 4.6(b)に MOS キャパシタの  $C-V$  特性を表す。測定は MFMIS キャパシタ形成後、上部の M 層, F 層をドライエッチングで除去した後に行った。図では MOS キャパシタには電荷の移動に起因するヒステリシスや、Si-SiO<sub>2</sub> 界面準位による  $C-V$  特性の変形は見られない。これは、STN 強誘電キャパシタの形成が、下の MOS キャパシタに悪影響を与えていないことを意味している。STN キャパシタ単体の  $C-V$  特性を図 4.6(c)に示す。強誘電体に特有のバタフライカーブが確認できた。図 4.6(a)の MFMIS キャパシタの  $C-V$  特性は、同(b), (c)の  $C-V$  特性の直列接続として計算したものとほぼ一致する。これらより、作製した MFMIS キャパシタは STN 強誘電体の分極反転によりヒステリシス特性を発現していることを確認した。



(a) MFMIS キャパシタ



(b) MOS キャパシタ



(c) STN キャパシタ

図 4.6 STN を用いた MFMIS キャパシタの高周波  $C$ - $V$  特性



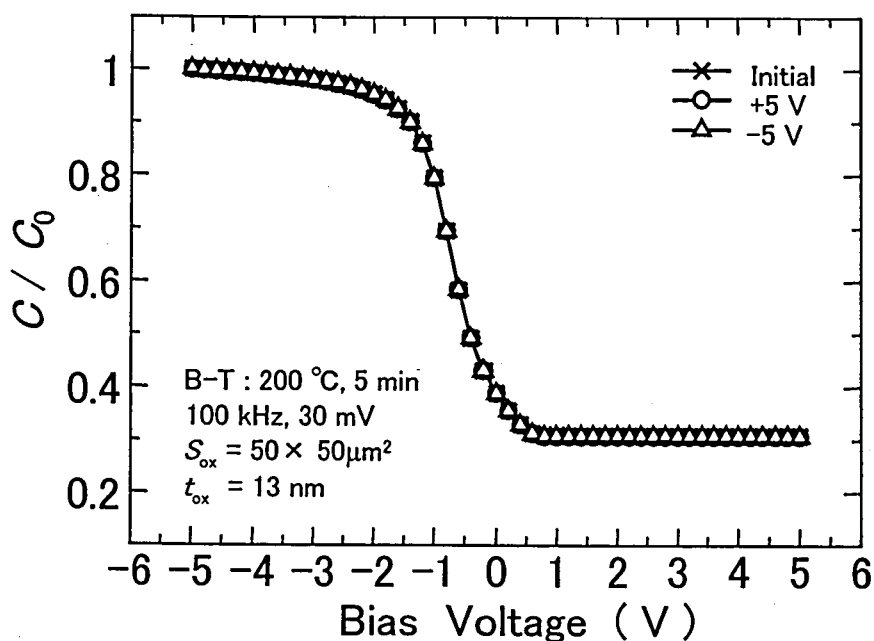


図 4.7 MOS キャパシタの電界-温度印加試験(B-T 試験)

図 4.6(b)に示す MOS キャパシタについて、MOS トランジスタ特性の経時変化の原因となる可動イオンの存在の有無を評価した。ゲート絶縁膜中に、例えば STN の構成元素である Sr が  $\text{Sr}^{2+}$  として存在すれば、電界と熱を同時にゲート絶縁膜に印加して、イオンの位置が移動する。イオンが移動すると、 $C$ - $V$  特性が電圧軸方向にシフトするので、これを検知できる。この手法を電界-温度印加(Bias-Temperature: B-T)試験といい、図 4.7に測定結果を示す。これより、電气的にも STN 成膜によるシリコン酸化膜汚染が生じていないことが確認できた。

また、第 3 章で低誘電率の強誘電体材料が必要であることを述べたが、これを確認するため、STN キャパシタの面積( $S_F$ )と MOS キャパシタの面積( $S_{ox}$ )の比を変更した MFMIS キャパシタを作製した。図 4.8に示すようにキャパシタ面積比( $S_{ox}/S_F$ )を大きくすると、 $C$ - $V$  特性のヒステリシス幅(メモリウィンドウ)が大きくなっていく。ゲート酸化膜の面積を増加することで、ゲート絶縁膜の容量が増え、強誘電体キャパシタにかかる電圧が増加し、分極反転量が促進されたものと考えられる。

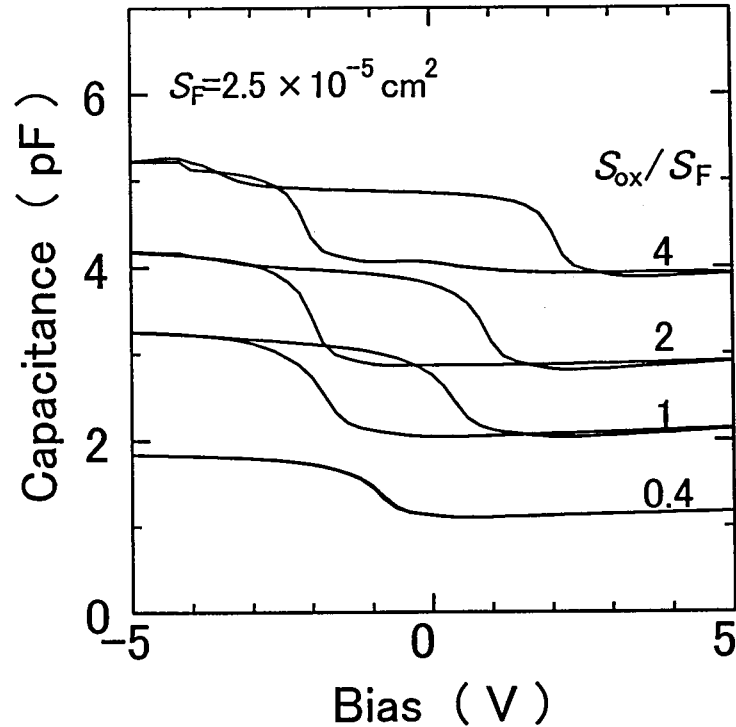


図 4.8 C-V 特性の容量比依存性

ゲート長  $0.6\mu\text{m}$  の MFMIS FET を作製した。通常の CMOS トランジスタプロセスが終了した後、Pt/STN/Pt/IrO<sub>2</sub> キャパシタを形成した。その後、層間絶縁膜となるシリコン酸化膜をプラズマ CVD 法により堆積した。原料ガスは TEOS (テトラエトキシシラン) と酸素ガスを用いた。電気配線層となるアルミをスパッタにより堆積し、ドライエッチングを行った。最後に、パッシベーション膜としてシリコン窒化膜を、プラズマ CVD 法により形成した。原料にはシラン(SiH<sub>4</sub>)とアンモニア(NH<sub>3</sub>)を用いた。

図 4.9 に MFMIS FET メモリ作製プロセスにおける STN 強誘電キャパシタの特性変化を示す。比較として、PZT 強誘電キャパシタ[1]の特性も併記している。評価キャパシタのサイズは  $50 \times 50 \mu\text{m}^2$  で、上部電極は Pt とした。PZT の場合、層間絶縁膜の形成やドライエッチング中に発生する水素ラジカルの影響で、PZT が一部還元されることが報告されている[2]。そのため、再酸化して強誘電特性を回復させるリカバリーアニールという工程を入れている。STN の場合は第 3 章で示した耐還元性が強いために、作製プロセス中の劣化がほとんどなく、リカバリーアニール工程を入れる必要も無かった。

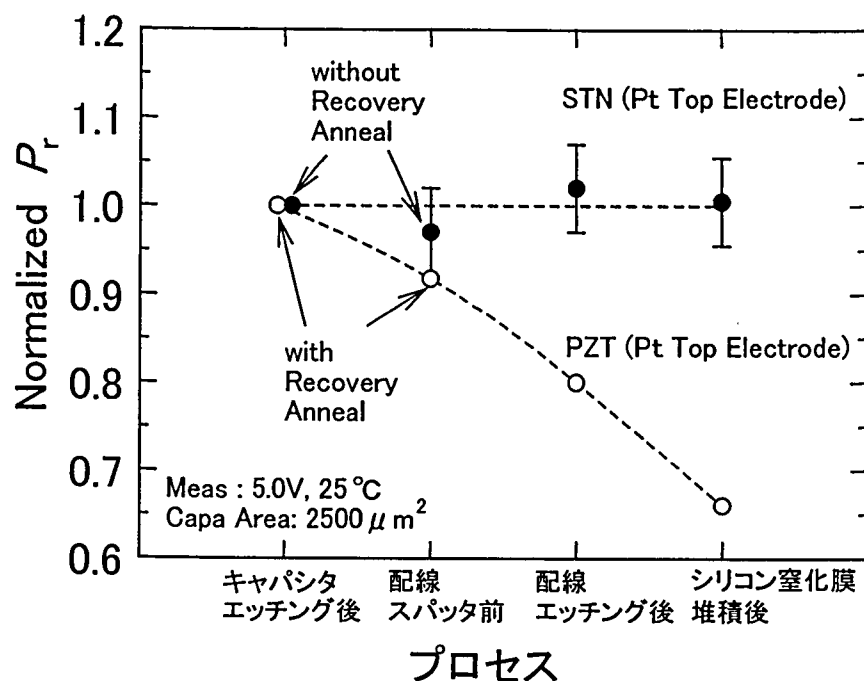


図 4.9 MFMIS FET メモリ作製プロセスにおける強誘電キャパシタの特性劣化

次に、強誘電体分極が FET のドレイン電流を変調していることを確認するため、MIFIS FET メモリの  $I_D$ - $V_G$  特性を測定した。ソース・ドレイン間電圧は 0.1 V とし、コントロールゲート電圧  $V_G$  を  $\pm 5$  V の範囲で掃引し、ドレイン電流を測定した。強誘電体キャパシタの大きさは  $1.85 \times 1.85 \mu\text{m}^2$  である。図 4.10 のヒステリシスループの方向より、強誘電分極に起因するドレイン電流の変調が行われていることを確認した。 $\pm 5$  V の範囲で測定したメモリウィンドウ(ヒステリシス)は 3.8 V の値が得られた。PZT を用いた FET メモリでは  $\pm 15$  V 必要であったが[3]、STN 強誘電体を用いることで、より低電圧( $\pm 5$  V)で動作することを実証した。

図 4.11 に正および負の書き込みパルスをコントロールゲートに印加し書き込みを行った後、ドレイン電流の測定を行った。書き込みパルス幅は 10  $\mu\text{s}$  とし、書き込みからドレイン電流測定開始まで 30 秒の間隔を置いた。 $+10$  V のパルス印加後のドレイン電流は、 $-10$  V 印加後と比較して、100 倍大きくなっている。 $\pm 5$  V のときは 10 倍以上のドレイン電流の差が流れている。このドレイン電流差は、メモリとして利用するのに十分検出可能な値である。

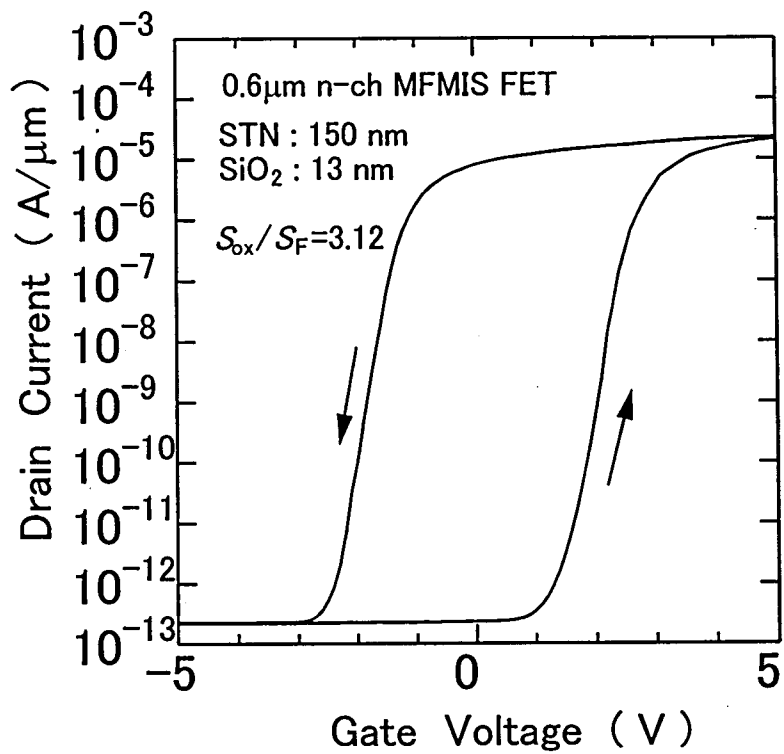


図 4.10 MFMIS FET メモリの  $I_D$ - $V_G$  特性

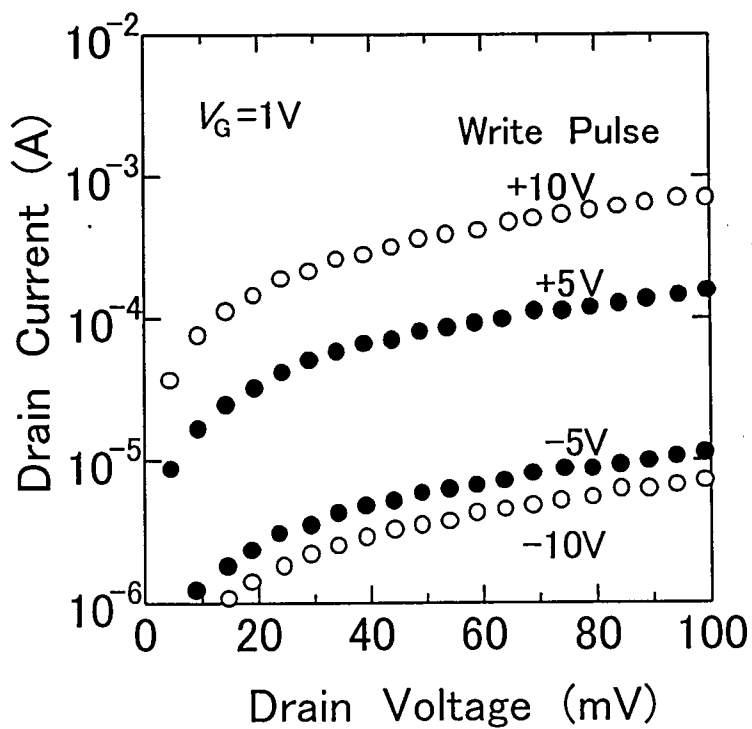


図 4.11 書き込みパルス印加後のドレイン電流

### 4.3 データ保持時間についての考察

ここでは、FET 型強誘電体メモリの課題であるデータ保持特性を評価し考察を行った。

MFMIIS 型強誘電体メモリのデータ保持の劣化について考察すると、以下の 3 つの要因が挙げられる。

- (1) 逆方向電界により強誘電体の分極が消滅する。
- (2) 逆方向電界により強誘電体中のイオンがドリフトする。
- (3) 強誘電体をリーク電流が流れ、フローティングゲートの電位が変化する。

(1)については図 4.12に示す強誘電体キャパシタの分極保持特性の印加電圧依存性から検討できる。分極を一方向にそろえた後、一定の電圧を印加したまま保持し、残留分極を測定したものである[4]。抗電圧は 1.75 V のものである。分極は、印加電圧が 0, 0.2, 0.4 V で保持しても大きく低減せず、安定しているが、1.0, 1.5 V では徐々に減衰している。STN 強誘電体薄膜では低誘電率を実現したために、逆方向電界を 0.2 V 程度に抑えることができると考えられる。これより、逆方向電界による強誘電体分極の消滅はそれほど大きな影響を与えていないと期待される。(2)については、STN 薄膜が、リーク電流測定において電圧が印加された後でも、ヒステリシス特性が変化せず電圧方向のシフトが見られないため、主要因ではないと考えられる。(3)については強誘電体中を電子や正孔が移動することで、フローティングゲートが外部と電界のやりとりをする。これにより、フローティングゲートの電位が変化し、強誘電体の分極は変化していなくても、ドレイン電流が変化し、結果としてデータの読み出しができなくなると考えている。以下では、(3)のリーク電流説による解析を行う。

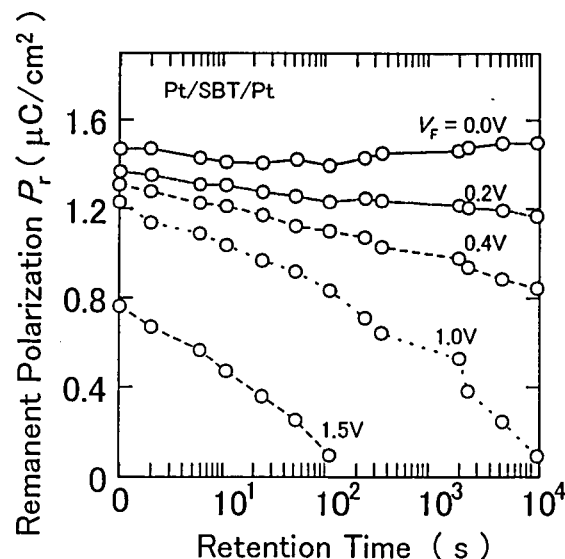


図 4.12 強誘電体キャパシタの残留分極の保持特性[4]

### 4.3.1 10 日以上データの保持特性の確認

前節で作製した MFMIS FET のデータ保持時間は数百秒程度であり、デバイス寸法が小さくなるにつれて、保持時間が短くなる傾向があった。このことから、作製した MFMIS FET は STN キャパシタの周囲がリーク経路となっており、強誘電体キャパシタの面積に対して周囲の占める割合の大きな微細デバイスほど影響を受けやすい。図 4.13 に模式図を示す。この周囲のリークの原因として、ドライエッチングする際に、強誘電体に荷電粒子損傷などのダメージが入ることや、強誘電体の表面に抵抗の低い層が形成されることなどが考えられる。今後、STN 強誘電体や Pt 電極のドライエッチング条件の最適化は重要な課題である。

ここでは、周囲リークの影響を受けにくいデバイスを作製し、材料起因のデータ保持時間を評価する。強誘電体の面積を  $50 \times 50 \mu\text{m}^2$  と大きく、正方形にした。ソース・ドレイン領域は作製せず、MFMIS キャパシタとして容量を測定し、保持特性を評価する。また、大気中の湿気等からデバイスを保護し、表面リークによる電荷の消失を防ぐため、層間膜やパッシベーション膜プロセスまで終了した状態で測定を行った。図 4.14 に作製した MFMIS キャパシタの構造を示す。この MFMIS キャパシタの容量を図 4.14 に示すように 2 つのプロープ間の静電容量を測定することで、MFMIS FET メモリのデータ保持状態を知ることができる。MFMIS キャパシタの初期状態、無電界印加時のエネルギーバンド図を図 4.15 に示す。半導体は p 型シリコンで、そのフェルミ準位を  $E_F$ 、荷電子帯、伝導帯のエネルギー準位を  $E_v$ 、 $E_c$  とする。この MFMIS キャパシタのコントロールゲートに正の電圧パルス印加し、電圧を取り去った後、つまり、メモリにデータを書き込んだ後のデータ保持状態でのエネルギーバンド図を図 4.16(a) に示す。強誘電体の分極を打ち消すための電荷の移動によって、フローティングゲートの電位が上昇しており、シリコン界面にキャリア反転層が形成される。FET を作製するとトランジスタが導通状態になるので、ON 状態と呼ぶ。シリコンには空乏層ができるので、全体の容量は、ゲート絶縁膜と空乏層の直列容量となり、ゲート絶縁膜単体の容量より小さくなる。図 4.16(b) にコントロールゲートに負電圧パルス印加後の MFMIS キャパシタのエネルギーバンド図を示す。このとき、トランジスタは非導通状態になるので OFF 状態という。シリコンに空乏層はできないので、全体の容量はゲート絶縁膜容量とほぼ同じになる。データ保持特性を図 4.17 に示す。MFMIS キャパシタに +5V のパルス印加した後、LCR メータにて容量を測定し、ある期間ごとに値を記録する。次に、同じ試料に -5V のパルス印加した後、同様に容量変化を測定する。最初は容量の変化はほとんど見られず、1 日を超えたあたりから OFF 状態の容量が徐々に下がり始めた。測定は 2 週間まで行ったが、ON 状態の容量はほとんど変化せず、2 週間後においても容量差が存在し、2 週間以上のデータ保持が可能であることを表している。これは、本研究不揮発性 RAM のデータ保持の目標である 10 日以上を達成するもので、

これまでの FET 型強誘電体メモリの数時間程度の保持時間から比べると、飛躍的な進歩である。

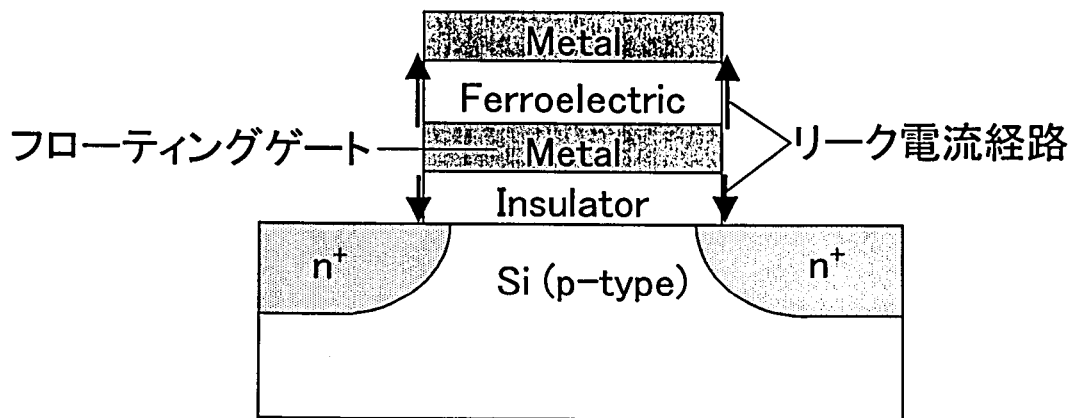


図 4.13 MFIS FET のリーク電流経路

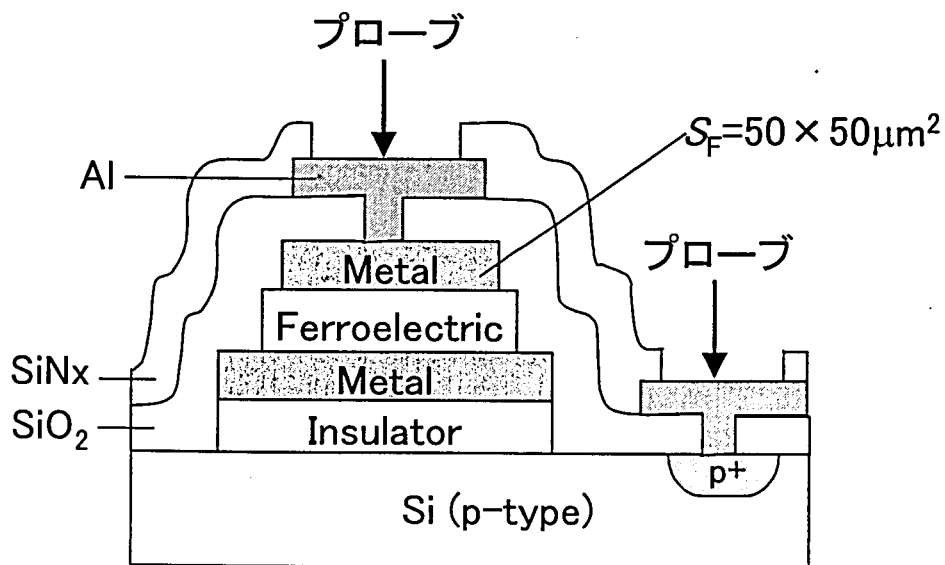


図 4.14 データ保持特性評価用 MFIS キャパシタの構造

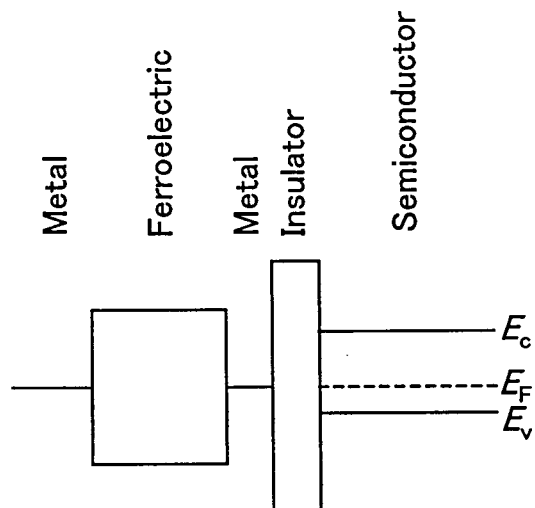


図 4.15 MFMIS キャパシタの無電界時でのエネルギーバンド図

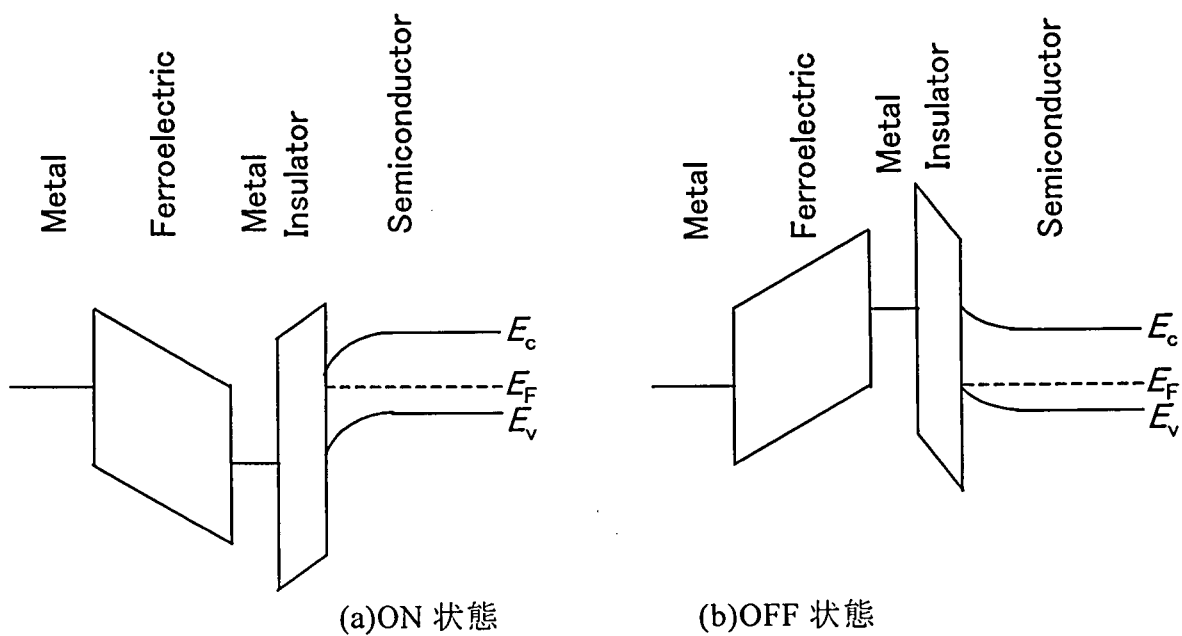


図 4.16 MFMIS キャパシタの保持時のエネルギーバンド図



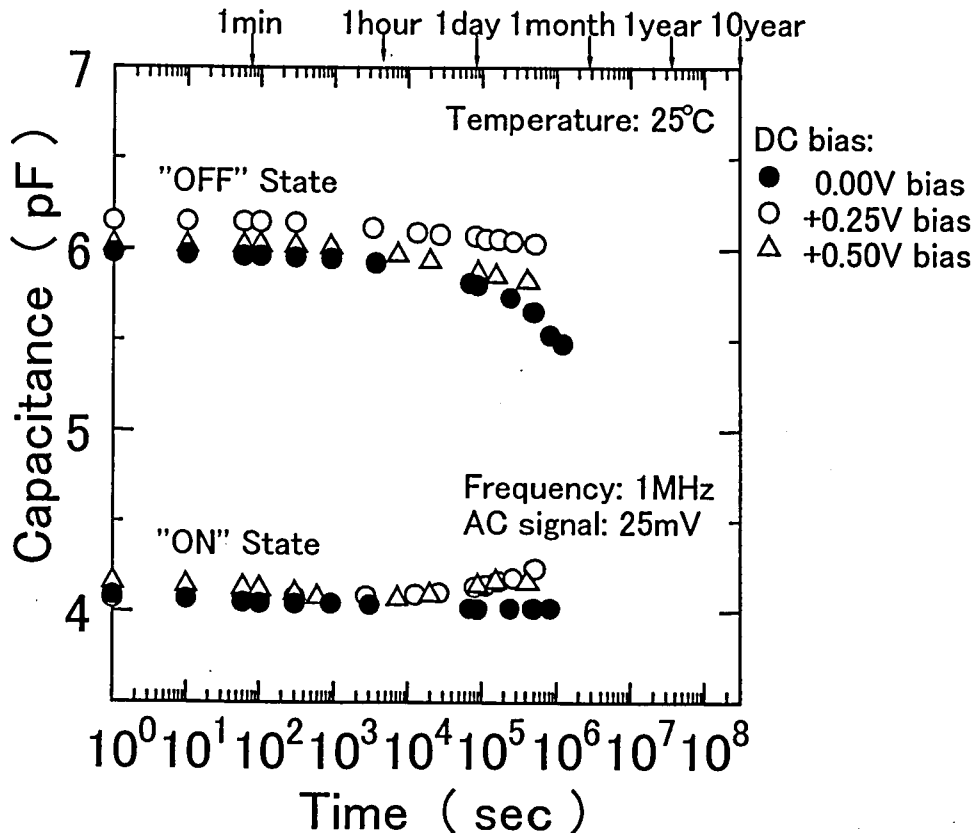


図 4.17 MFMIS キャパシタのデータ保持特性

#### 4.3.2 データ保持時間の考察とより長時間保持への指針

次に、図 4.17で得られたデータ保持時間と、リーク電流から計算できる電荷の消失時間を定量的に比較し、リーク電流がFET型強誘電体メモリのデータ保持を決めることを示す。また、目標の10日以上データ保持時間を確認したものの、究極の不揮発性メモリに要求される10年のデータ保持が、FET型メモリで実現可能かどうかの議論を行う。

強誘電体のリークによる電荷消失モデルを図 4.18に示す。等価回路は(b)に示すように、ゲート酸化膜容量に蓄えられた電荷が、強誘電体を介して放電していく。強誘電体のリーク電流伝導機構としては、まず、電極-強誘電体界面のショットキー障壁により制限されるショットキー電流が考えられる。ショットキー接合を流れる電流の電流密度は次式で与えられることが知られている。

$$J = AT^2 \exp \left[ \frac{-q(\phi_b - \sqrt{qE/4\pi\epsilon_0\epsilon_i})}{k_B T} \right] \quad (4-1)$$

ここで  $A$  はリチャードソン定数、 $T$  は絶対温度、 $q$  は電子の電荷、 $\phi_b$  はポテンシャル障壁、 $\epsilon_1$  は赤外領域の動的比誘電率、 $k_B$  はボルツマン定数である。したがって  $\ln(J/T^2)$  を  $E^{1/2}$  に対してプロットすると直線に乗る。これをショットキープロットという。図 4.19 に室温から 200℃ までの範囲で STN 薄膜のショットキープロットを示す。特にデータ保持特性に関連のある低電界領域では、ショットキープロットは直線に乗らず、STN 薄膜の低電界領域での伝導機構は理想的なショットキー障壁によるものではないと考えられる。

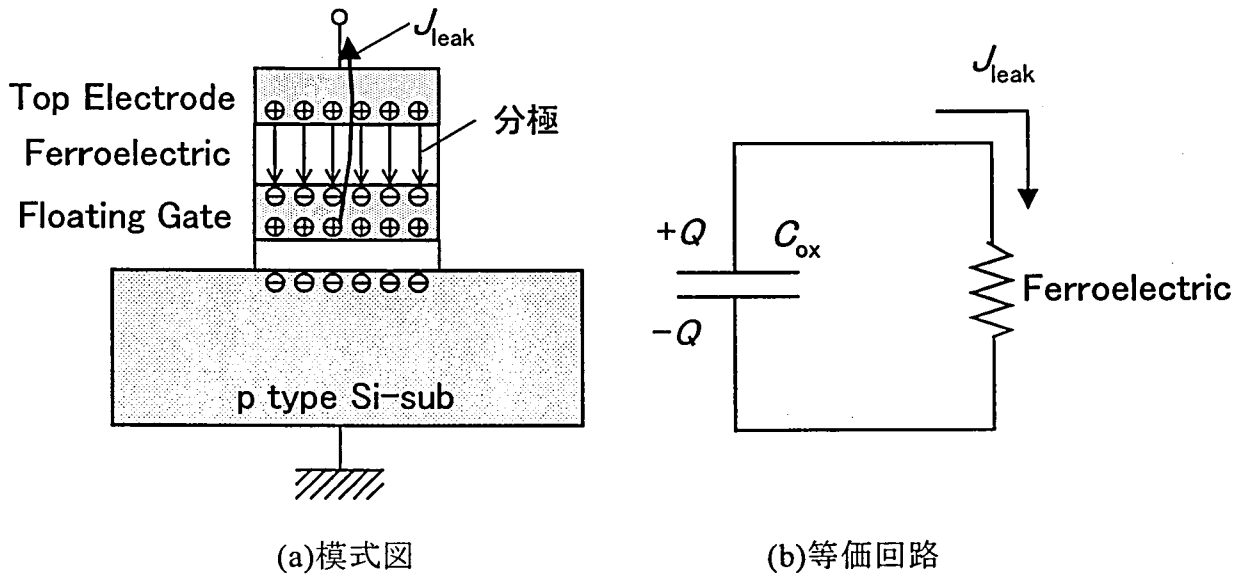


図 4.18 強誘電体リークによる電荷消失モデル

三原らは強誘電体のリーク電流が次式で表されることを報告している[5]。

$$J = J_0 V^K t^{-m} \quad (4-2)$$

リーク電流  $J$  は電圧  $V$  と時間  $t$  のべき乗で変化し、 $J_0$  は 1V 印加で 1s 後の電流密度を示す。 $K, m$  は定数である。本研究で作製した STN 薄膜も式(4-2)で良くフィッティングすることができる。リーク電流の測定結果は図 4.20 のようになり、各定数はそれぞれ、 $J_0 = 7 \times 10^{-12} \text{ A/cm}^2$ ,  $K = 6.5 \sim 7.5$ ,  $m = 0.15 \sim 0.5$  となる。本研究で使用している STN 薄膜はランダム配向の多結晶膜であるのでショットキー障壁高さに分布が存在することが予想される。電圧のべき関数で表されるリーク電流は、分布をもつ障壁高さによるショットキー接合電流の重ね合わせで説明できる可能性がある。

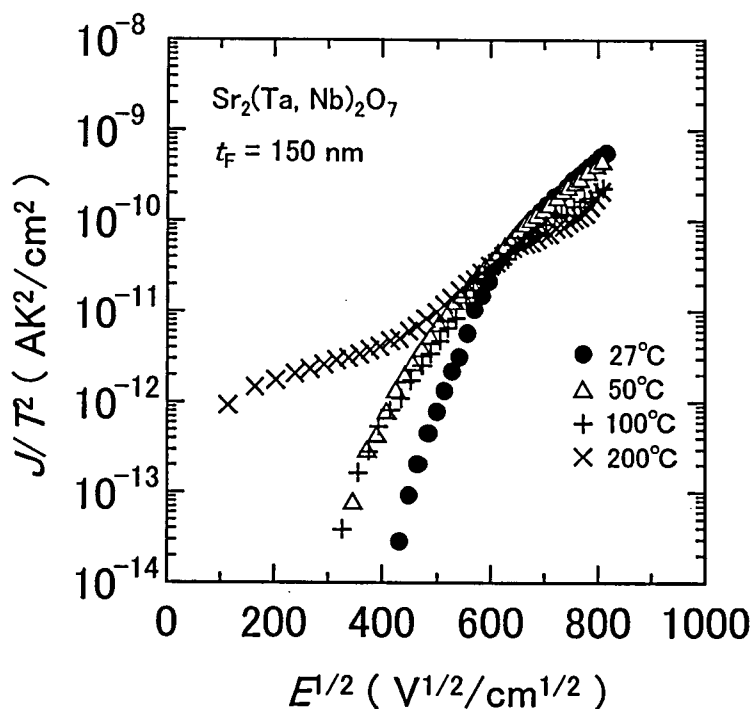
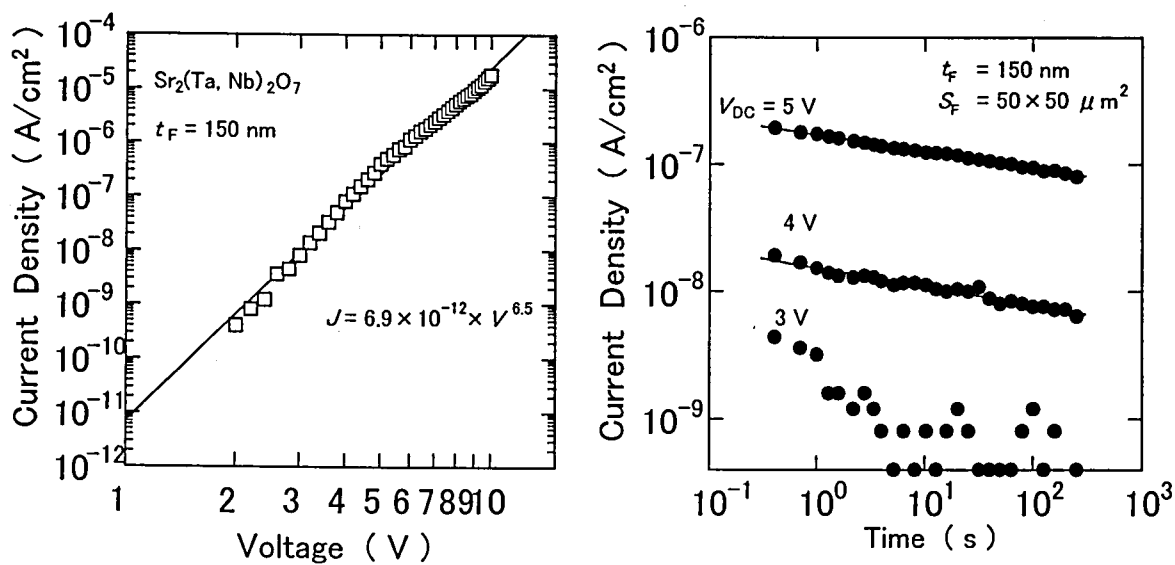


図 4.19 STN 薄膜のショットキープロット



(a)電圧依存性

(b)時間依存性

図 4.20 STN 薄膜のリーク電流特性

図 4.18(b)において電荷保存則を適用すると次式を得る。

$$J = -\frac{dQ}{dt}. \quad (4-3)$$

また、ゲート酸化膜の単位面積あたりの容量を  $C$  とすると、静電容量の式は、

$$Q = CV, \quad (4-4)$$

であるので、式(4-2)～(4-4)をまとめると次式を得る。

$$Q = \left\{ (K-1) \frac{J_0}{C^K(1-m)} t^{1-m} + Q_0^{-(K-1)} \right\}^{-1/(K-1)}. \quad (4-5)$$

$Q_0$  は初期状態でゲート酸化膜キャパシタに蓄えられている電荷密度である。

最初に、 $K$  をパラメータとして、フローティングゲートの電荷減少を式(4-5)を用いて計算したものを図 4.21に示す。強誘電体容量とゲート酸化膜容量の面積比  $S_{ox}/S_F$  は4とした。強誘電体キャパシタの残留分極が  $1\mu\text{C}/\text{cm}^2$  であるので、ゲート酸化膜容量に蓄えられる電荷の初期状態は、面積比  $S_{ox}/S_F$  から  $0.25\mu\text{C}/\text{cm}^2$  となる。ゲート酸化膜容量の電荷密度の下限は、シリコン-シリコン酸化膜界面にキャリアの反転層を作るのに必要な電荷密度  $0.1\mu\text{C}/\text{cm}^2$  とした[6]。 $K=1$  のときは、強誘電体のリーク電流が電界に比例しオームの法則を満たすときである。 $K=1$  を仮定すると、保持している電荷は急速に放電してしまうことが分かる。STN薄膜の場合  $K$  は7程度である。

図 4.22にデータ保持電荷の5V印加時のリーク電流量に対する依存性を示す。もしも、5V印加時のリーク電流密度を  $1 \times 10^{-9} \text{A}/\text{cm}^2$  以下にすることができれば、データ保持時間を10年以上にすることができる。リーク電流の時間因子である  $m$  に対する依存性を図 4.23に示す。 $m$  が大きい、すなわち、リーク電流の減少が速やかであればデータ保持時間は長くなる。しかしながら、 $m$  は長期にわたり一定値を取らない可能性もあり、あまり大きな値を設定するのは現実とかけ離れる恐れがある。このため、ここでは  $m=0$  とする。つまり、この考察から、 $J=1 \times 10^{-9} \text{A}/\text{cm}^2$  (5V印加時)、 $K=0$ ,  $m=0$  を満たす強誘電体膜を作製することで、データ保持を10年以上とすることができることが分かった。この条件での計算結果は図 4.22の  $10^{-9} \text{A}/\text{cm}^2$  の線で表されている。今後、この値を指標として材料開発を進めていけば良い。

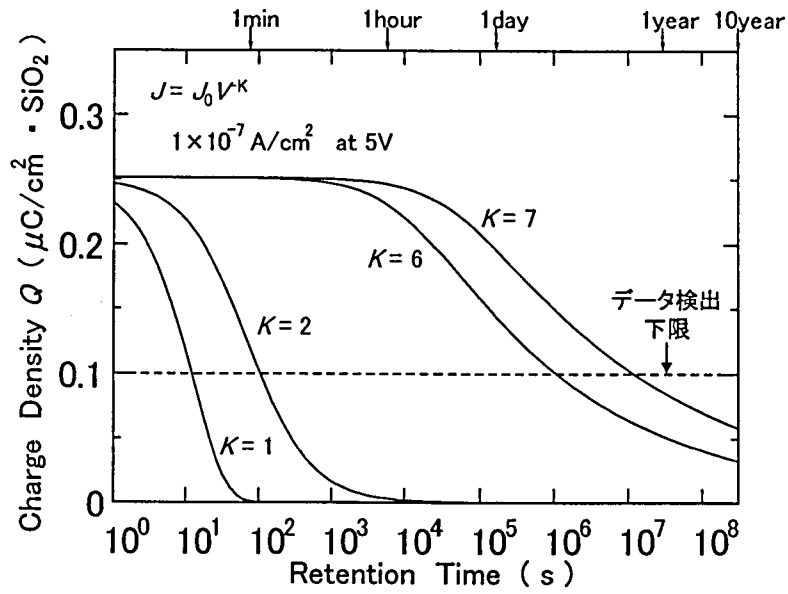


図 4.21 MFMISキャパシタのデータ保持時間の  $K$  依存性

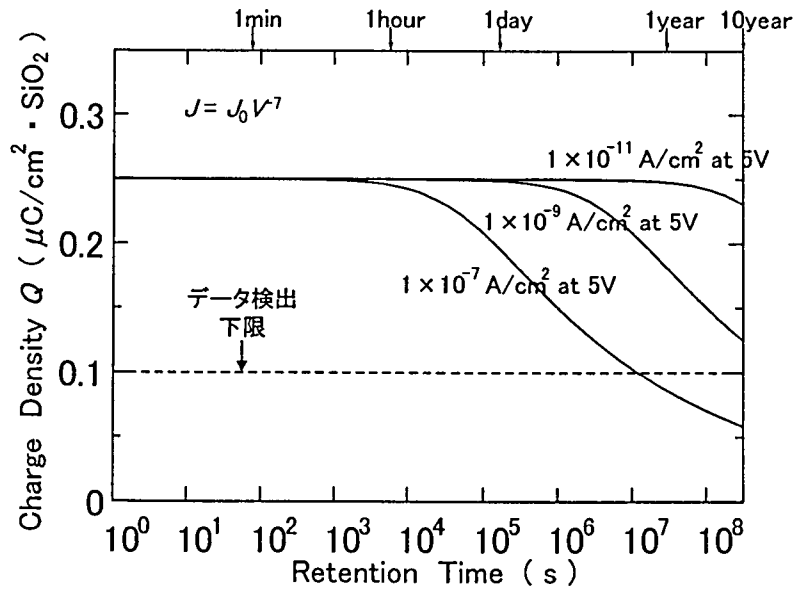


図 4.22 MFMISキャパシタのデータ保持時間のリーク電流量依存性

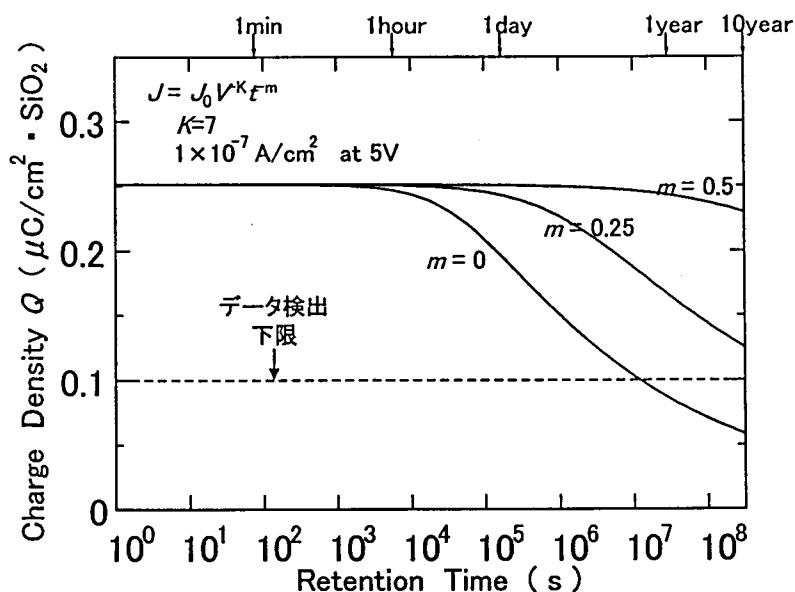


図 4.23 MFMISキャパシタのデータ保持時間の  $m$  依存性

薄膜強誘電体においてリーク電流を減らす工夫としては、リーク経路となりやすい結晶粒界を絶縁性の高い材料で埋めてしまう方法がある。図 4.24に模式図を示す。強誘電体に Al や Nb, Si など酸化物の絶縁抵抗が極めて大きな元素を添加することで  $10^{-8} \text{ A/cm}^2$  以下の電流密度を実現している例がある[7][8]。このように  $J=1 \times 10^{-9} \text{ A/cm}^2$  (5V 印加時)というリーク電流密度値は非現実的な値ではなく、今後の STN 薄膜開発の進展が待たれる。

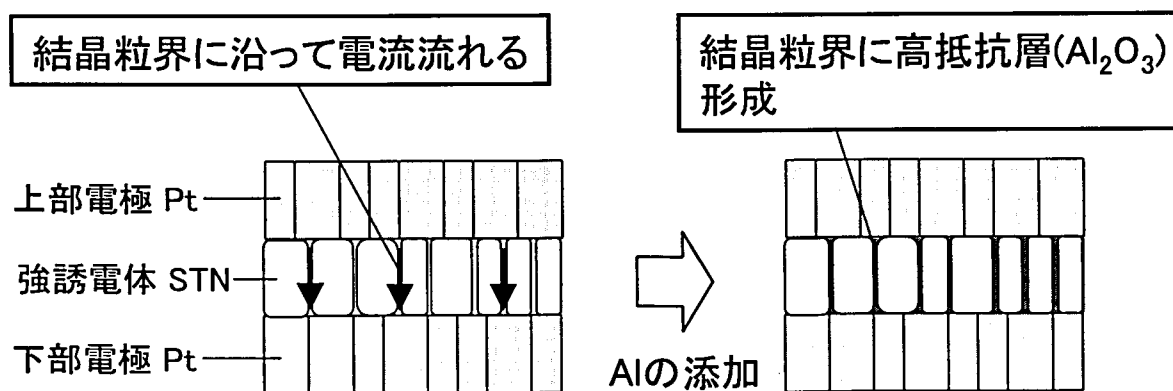


図 4.24 リーク電流低減の模式図

## 参考文献

- [1] T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu: Appl. Phys. Lett. **65** (1994) 1522.
- [2] Y. Fujisaki, K. Kushida-Abdelghafar, Y. Shimamoto and H.Miki: J. Appl. Phys. **82** (1997) 341.
- [3] T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu: Integrated Ferroelectrics **6** (1995) 179.
- [4] 奥山雅則、児玉一志、高橋光恵、野田実: “応用物理” **71**(5) (2002) 566.
- [5] 塩寄忠: “強誘電体薄膜メモリ”、(サイエンスフォーラム、1995) 第2章 95.
- [6] S. M. Zse: *Physics of Semiconductor Devices*, (A Wiley-Interscience Publication, 1981) 2nd ed., 369.
- [7] 木島健、濱田泰彰、大橋幸司、名取栄治、下田達也: 第64回応用物理学会学術講演会公演予稿集、2 (2003 秋) 500.
- [8] T. Iijima, S. Kudo and N. Sanada: Jpn. J. Appl. Phys. **36** (1997) 5829.





## 第5章 PZT 強誘電体を用いた論理演算回路の提案 と作製

本章では、強誘電体の論理演算回路への応用を考える。5.1節では、論理演算回路に適した強誘電体について議論する。論理演算回路とメモリでは要求特性が異なるために、強誘電体に対する要求特性も異なる。ここでは、論理演算回路に適した強誘電体として、残留分極が大きく、信頼性の高い PZT 系強誘電体を選択した。しかしながら、従来の PZT 薄膜では、論理演算回路に必要な低い形成温度と、書換え疲労耐性とを満足するものが得られていないので、PZT 系薄膜の作製方法を工夫し、PZT 薄膜の特性を実用に耐えうる水準まで改善した。5.2節では、新しい概念である論理演算回路の不揮発化を提案する。論理演算回路を不揮発性にするのに強誘電体を利用する。論理演算回路の不揮発化に関して、重要な基本素子である強誘電体キャパシタを用いた不揮発性ラッチ回路を提案した。実際に LSI 上で回路を試作し、動作確認に成功した。測定結果と今後の LSI のスケーリング予想から、提案する回路は、LSI の微細化が進んでも少なくとも今後 10 年は、大きな構造変化をしなくても、通常の論理演算回路と同様に微細化していくことが可能であることを示した。5.3節では、さらに進んだ概念である論理演算回路とメモリの融合について提案する。少容量(例えば 1 ビット)のメモリを論理演算回路の中に分散させるロジックインメモリアーキテクチャを用いて、LSI の処理速度と消費電力を大幅に改善することを試みる。ここでは、論理演算回路とメモリを小さな面積で融合することのできる、強誘電体を用いた機能パスゲート回路を提案した。LSI 上に試作し、提案する機能パスゲート回路の基本動作の確認に世界で初めて成功した。

### 5.1 論理演算回路に適した PZT 系強誘電体材料

メモリと論理演算回路では求められる要求が異なるため、使用されるトランジスタに要求される特性も異なる。メモリの場合、メモリセルに一番強く要求されるのは、コストに直接影響するセル面積を小さくすることである。通常、メモリセルをマトリクス化し、1 列のメモリセルでセンスアンプを共有している。そのため、セルから取り出す信号は、センスアンプが検出できる範囲であれば微小なものでも構わないという特徴をもつ。これらより、メモリにおいては、使用す

るトランジスタの性能、特にトランジスタがオンの時の最大電流、に対する要求は緩やかである。

論理演算回路においては、一般に、動作速度が最も要求される。強誘電体の分極反転速度は PZT 膜の測定によって 1ns 以下であることが確認されている[1]。現状のプロセッサで使用されている GHz の動作周期でも十分追従すると考えられている。

論理演算回路内部では、トランジスタが同時かつランダムに使用されるので、メモリのようにセンスアンプを共用するようなことはできない。仮にトランジスタ 1 つ 1 つにセンスアンプをつけるとなると、回路規模は 1 桁以上大きくなってしまい、非現実的である。このような理由から、論理演算回路で使用されるトランジスタでは、次段のトランジスタを高速に動作させるために、ドライブ能力(トランジスタがオンのときの最大電流値)が大きいことが要求される。

ドライブ能力を大きくするためには、トランジスタの電流が飽和するのに十分な電圧を、安定に印加しなければならない。そのため、強誘電体には電荷の不揮発成分である残留分極が大きいことが重要である。よって、ここでは、薄膜強誘電体のうち残留分極が大きく、一般的な強誘電体メモリにも使用されている PZT を選択した。

また、論理演算回路に強誘電体を導入するためには、次の条件を満たすことも必要となる。

- (1) 強誘電体の形成温度が低いこと。
- (2) 強誘電体の疲労特性が少ないこと。

(1)については、強誘電体の形成温度が高いと、すでに作りこんでいるトランジスタの特性を変えてしまう。従来の強誘電体の形成技術では 700℃以上の温度が必要であったが、トランジスタの特性を変えないためには 600℃以下で成膜することが肝要である。(2)に関しては、論理演算回路内のトランジスタでは、メモリ中のトランジスタとは異なり、クロック毎に動作する可能性がある。つまり、論理演算回路のトランジスタは使用される回数が多い。メモリでの書換え回数保障は  $10^{12}$  回程度であるが、論理演算回路では  $10^{15}$  回を保障する必要がある。疲労特性に関しては、中村らが Ir 系の電極を用い PZT 強誘電体中の Pb が強誘電体から拡散により出ていくのを防ぐことで、大幅に改善できることを示している[2]。Pb の拡散は、成膜温度を下げることでできれば少なくできる。つまり、成膜温度を低くすることは、疲労特性を改善することにつながる。

したがって、次節では、論理演算回路に適用するために必要で、強誘電体の疲労特性を改善する効果が期待される強誘電体薄膜の成膜温度低減を目標とする。

### 5.1.1 強誘電体の低温形成

強誘電体の結晶化等の熱処理を行う場合、通常、空気雰囲気や酸素雰囲気など、酸素が多く存在する雰囲気で行われることが多い。これは、第 3 章で示したように、よく使用される強誘電体が Pb や Bi などの還元しやすい元素を含むので、還元による特性劣化を生じないようにするためである。

しかしながら、低温で結晶化を行うためには、結晶化前の PZT 中で構成元素の拡散を促進する必要がある。構成元素の拡散を促す方法として、膜中に意図的に欠陥を多く導入することが考えられる。導入する欠陥元素には酸素を選んだ。これは、構成元素のうちで気体である酸素であれば、結晶化後に残った欠陥を、あとで補充することができるのではないかと考えたからである。酸素欠陥を導入する手法として、結晶化時の雰囲気を減圧酸素雰囲気にすることとした。

減圧酸素雰囲気アニールの効果を確認するため、結晶化 RTA の雰囲気が常圧酸素 760Torr の場合と、減圧である酸素 50Torr について、PZT 強誘電体薄膜のヒステリシス特性の結晶化温度依存性を示す。成膜はゾルゲル法により行った[3]。図 5.1に示すように、常圧酸素雰囲気で結晶化を行った場合は、結晶化温度が下がるにつれ残留分極値が減少することが確認できる。一方、減圧酸素雰囲気での結晶化では、図 5.2のように 650℃でも 725℃と同様の強誘電体ヒステリシス特性を示す。X 線回折パターンを図 5.3、図 5.4に示す。725℃の結晶化温度では、PZT は、下部電極である Pt(111)の影響を受け、(111)優先配向になっている。常圧酸素結晶化では、結晶化温度を 700℃以下にすると、急激に PZT(111)からの回折ピークが減少し、結晶化が不十分であることが分かる。減圧酸素雰囲気では、PZT の結晶性は 650℃まで変化が見られない。

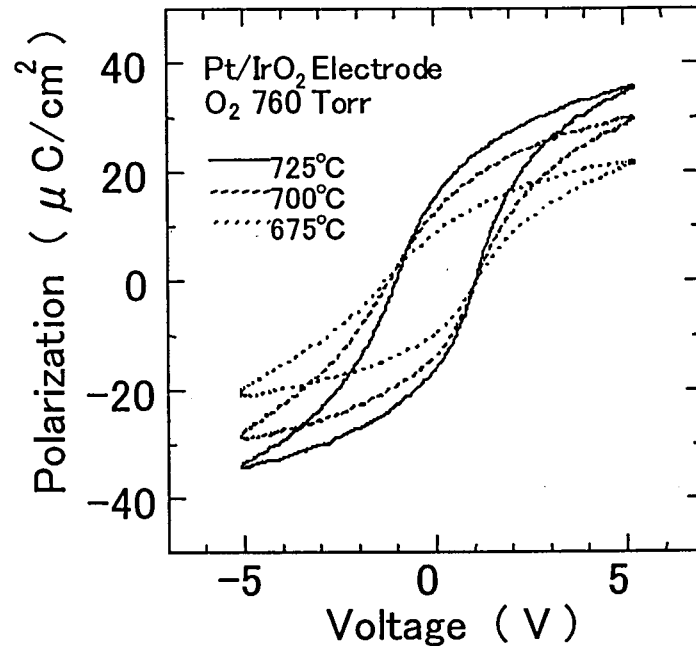


図 5.1 常圧酸素 760Torr 雰囲気中で結晶化した PZT 強誘電体のヒステリシス特性の温度依存性

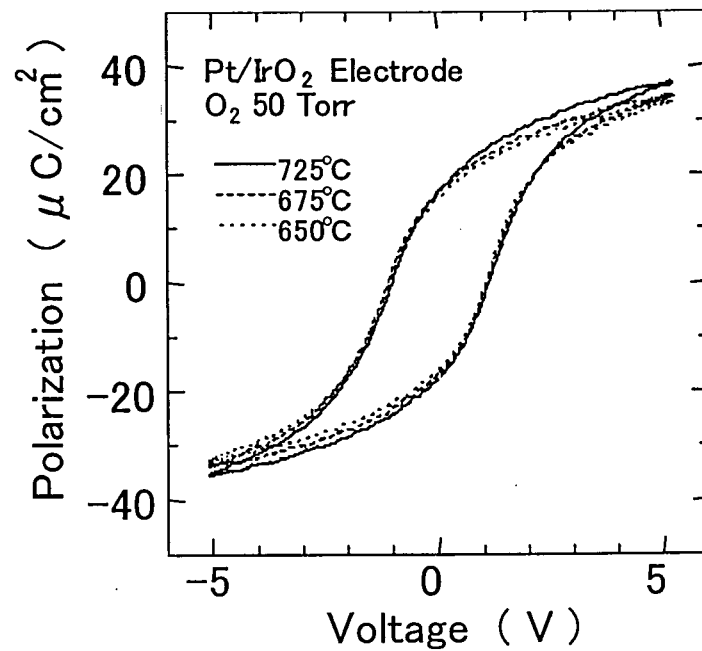


図 5.2 減圧酸素 50Torr 雰囲気中で結晶化した PZT 強誘電体のヒステリシス特性の温度依存性

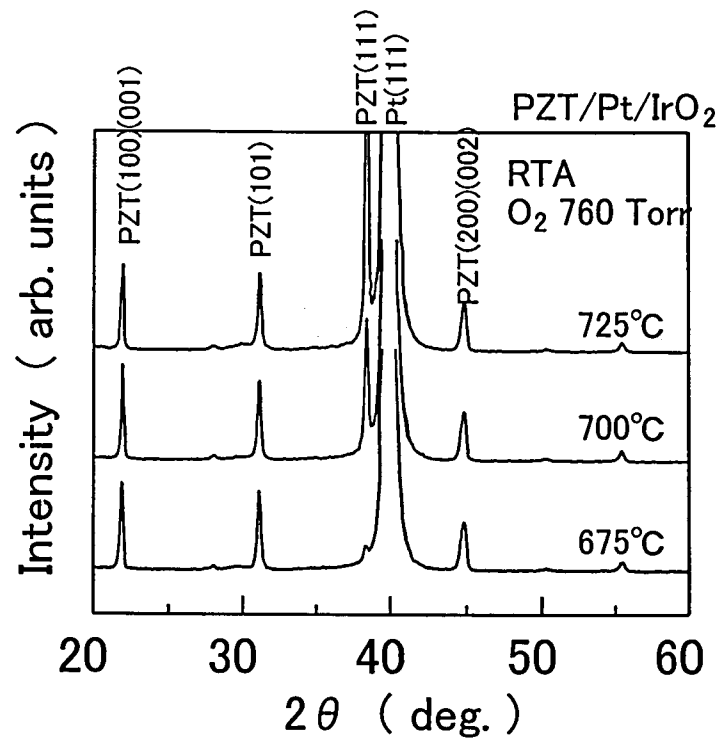


図 5.3 常圧酸素雰囲気中で結晶化した PZT 強誘電体の X 線回折

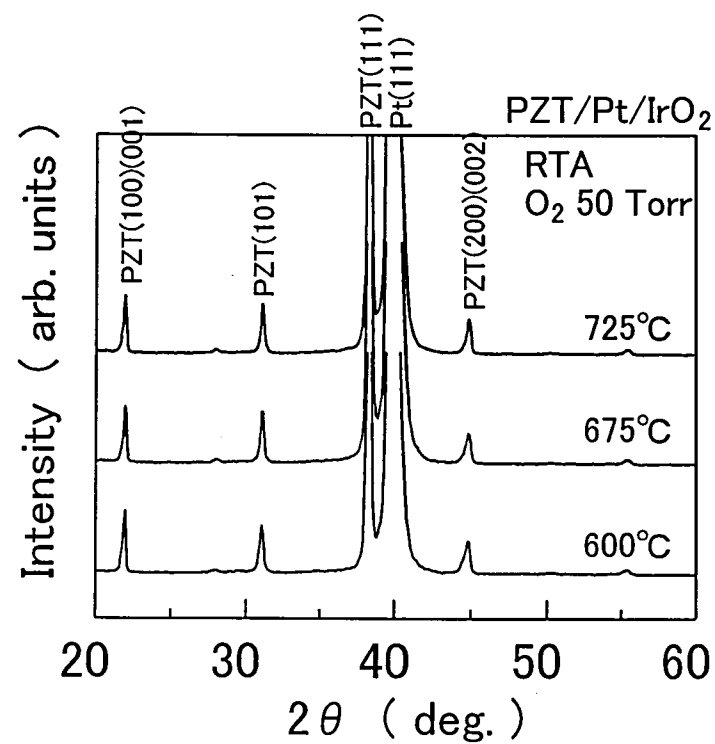


図 5.4 減圧酸素雰囲気中で結晶化した PZT 強誘電体の X 線回折

図 5.5 に、結晶化アニール後の強誘電体薄膜の、光学顕微鏡による表面モフォロジー観察結果を示す。760Torr 酸素雰囲気での結晶化アニールでは、600℃ではペロブスカイト構造の結晶化は全く生じず、膜も非常に滑らかで、強誘電性ヒステリシスも全く示さない。650℃では、一部結晶化が始まり、直径数ミクロン程度のロゼッタと呼ばれる結晶粒の集まりが部分的に生じているが、結晶化していない部分も多く見受けられる。700℃では、全面ペロブスカイト構造が得られ、微細で緻密な多結晶膜が得られている。一方で、1Torr の減圧酸素結晶化では、600℃以上のアニールで全面、微細で緻密な多結晶膜が得られていることが分かる。

図 5.6 に様々な温度と酸素圧力で結晶化アニールを行った際の、PZT 表面モフォロジーをまとめたものを示す。図中、膜全面が微細で緻密な多結晶膜が得られている場合を○で表し、それ以外の場合を×で表している。酸素圧力を下げることによる、結晶化温度の低減効果を確認することができる。また、図中には、常圧で窒素と酸素の混合雰囲気を作り、その酸素分圧を制御した場合のモフォロジーも示している。これより、酸素分圧を制御した場合も、減圧酸素雰囲気と同様の傾向を示していることが分かる。これは、結晶化雰囲気の酸素分圧が、結晶化に影響を与えるパラメータであることを示している。また、1 Torr 以下の酸素分圧にて結晶化を行った場合には、PZT 自体や下部電極に使用している  $\text{IrO}_2$  が還元し、膜はがれが起るため、安定に薄膜作製することができなかった。

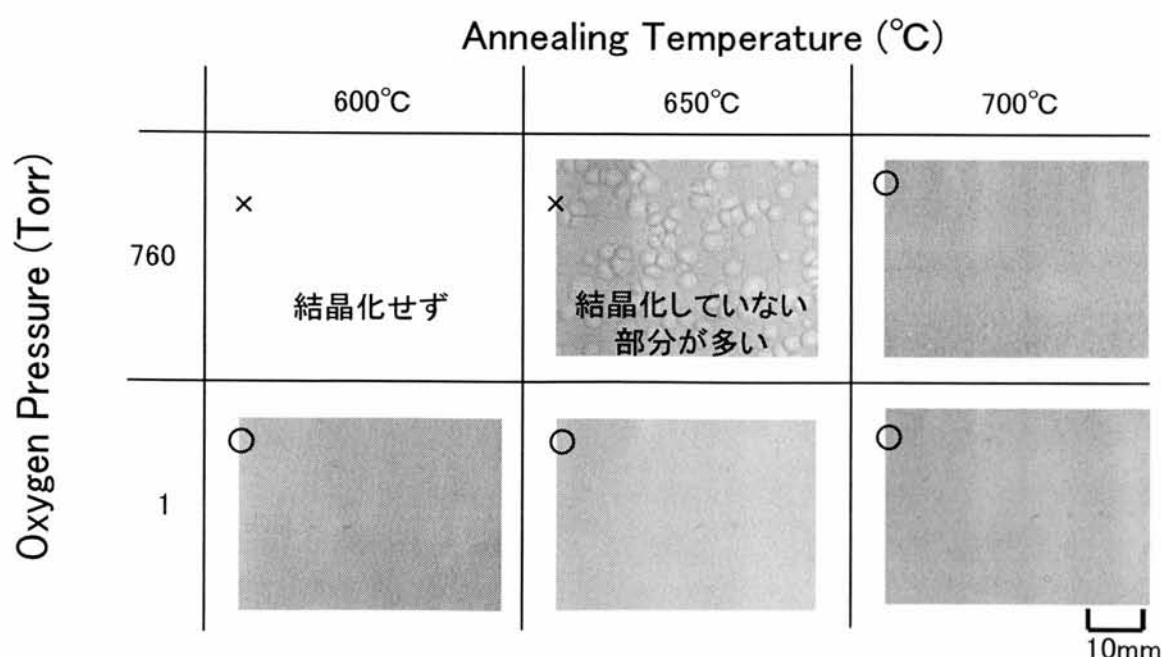


図 5.5 PZT 薄膜の表面モフォロジー

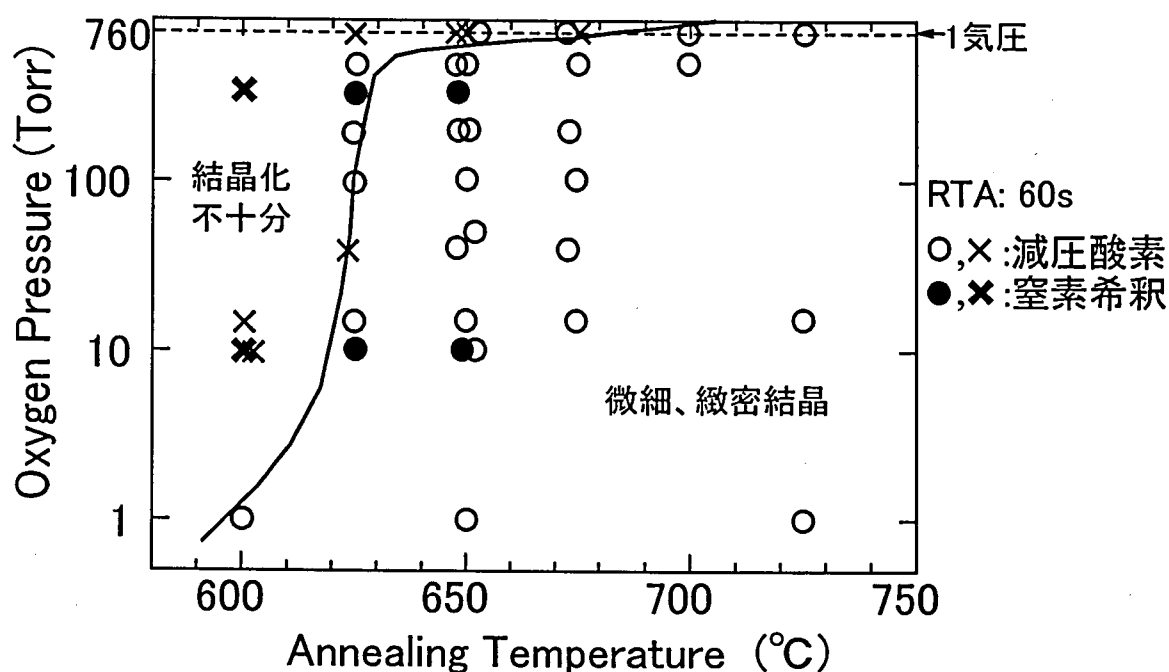


図 5.6 PZT 薄膜の表面モフォロジー(まとめ)

減酸素分圧雰囲気にて PZT 薄膜の結晶化を行うことで、薄膜の結晶化温度が低減できることが確認できた。次に、結晶化温度の低減が疲労特性に与える影響を調べる。一つは、大気圧(760Torr)酸素雰囲気中で 725°C、もう一方は、N<sub>2</sub> 希釈した酸素分圧 10Torr の雰囲気(全圧は大気圧)で 625°C の条件で結晶化アニールを行ったものである。図 5.7 にこの 2 試料の疲労特性を示す。測定は±5V の矩形波により行った。725°C の酸素雰囲気中で結晶化 PZT 膜が 10<sup>6</sup> 以上の回数でスイッチング電荷量が減少し疲労特性を示しているのに対し、625°C の減酸素分圧で結晶化した薄膜は 10<sup>10</sup> 回でも疲労特性が見られない。

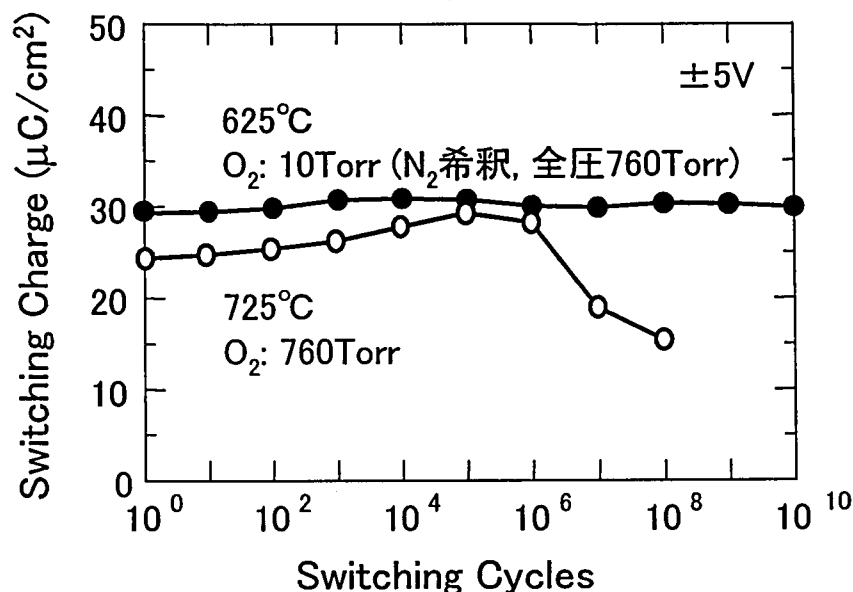


図 5.7 625°Cで形成した PZT 薄膜の疲労特性

次に、なぜ、減圧酸素雰囲気で結晶化すると結晶化温度が下がるのかを考察する。PZT の構成金属元素の融点を表 5-1 に示す。3 つの構成金属元素のうち、Pb が最も融点が小さい。Pb は低融点であるため同じ温度で比較すると拡散係数が大きく、焼結助剤といわれ、金属酸化物の結晶化温度を低減する効果が知られている。一方、図 5.8 に Pb と PbO の蒸気圧を示すように、Pb が酸化した PbO は比較的安定な物質で、酸化した PbO の状態では拡散係数が小さく、焼結助剤としての性能も弱いと予想される。

まとめると、減分圧酸素結晶化アニールにより、PZT 薄膜の結晶化温度を 100°C 下げることができ、 $10^{10}$  回のスイッチング後も疲労特性を示さない PZT キャパシタを作製することに成功した。

表 5-1 PZT 構成金属元素の融点

元素	融点[°C]
Pb	327.5
Zr	1852
Ti	1675



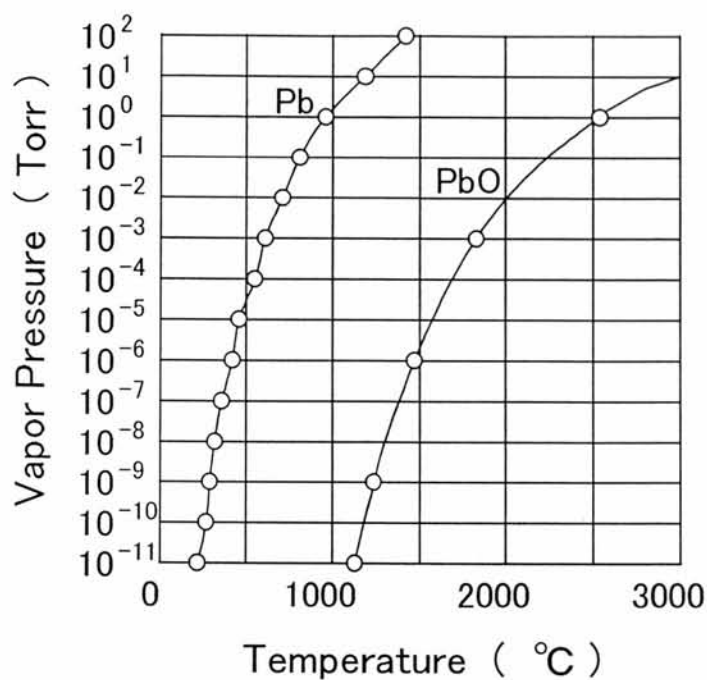


図 5.8 Pb と PbO の蒸気圧曲線

### 5.1.2 低電圧動作強誘電体の作製

ここでは、強誘電体の論理演算回路応用に重要な、強誘電体の動作電圧の低減を行う。減酸素分圧アニールにより結晶化温度が低くなり疲労特性が改善されたが、動作電圧に関しては、図 5.1と図 5.2のヒステリシスループの形状に差が無いことから、改善効果が無いことが分かる。

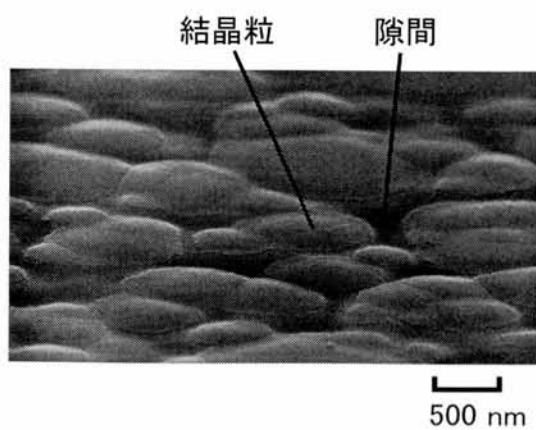
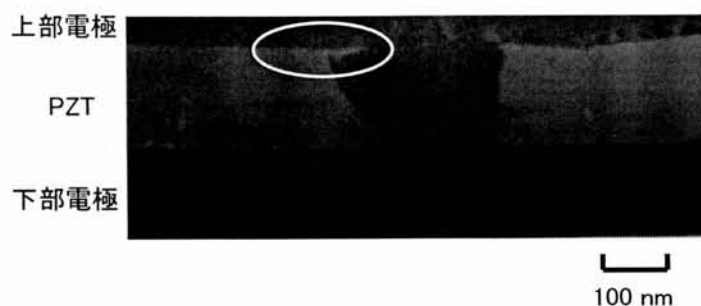
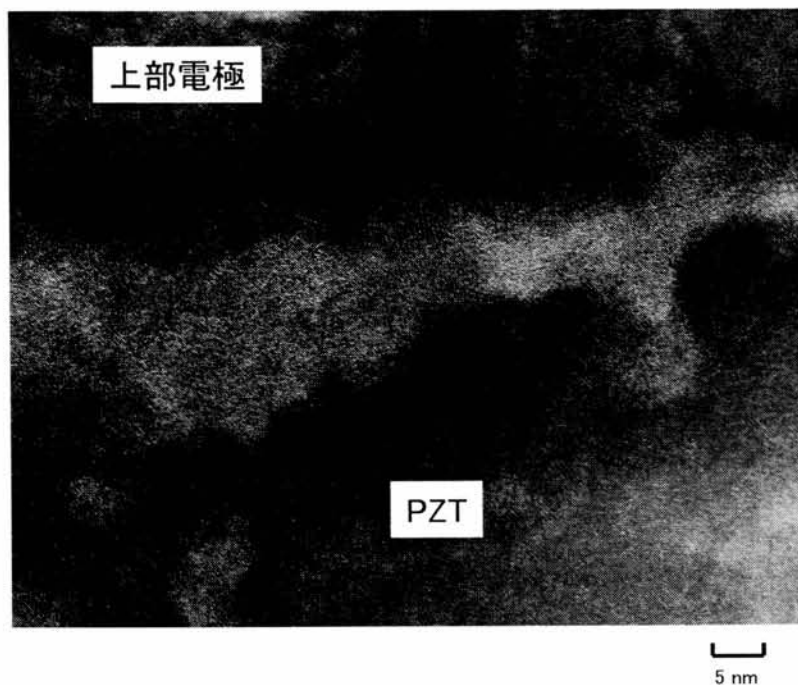


図 5.9 結晶化後の PZT 薄膜表面モフォロジーの SEM 像



(a)



(b)

図 5.10 PZT 薄膜の断面 TEM 像。(a)低倍率 (b)白丸部分拡大図

図 5.9に結晶化後の PZT 薄膜表面モフォロジーの SEM による鳥かん像を示す。直径が数百 nm から  $1\mu\text{m}$  程度の結晶粒とそれらの隙間、2 種類の部分で構成されていることが分かる。図 5.10に断面 TEM 像を示す。上部電極として  $\text{IrO}_2$  をスパッタにより堆積した後、イオンミリングにより TEM 観察用の試料を作成した。図 5.10(a)に示すように、2つのペロブスカイト相結晶粒の間、ごく表面のみ異相が存在し、表面モフォロジーの隙間部分を形成していることが分かる。図 5.10(b)にこの部分を拡大した、高分解能 TEM 像を示す。この異相は数 nm の微結晶からなり、強誘電性を示さないパイロクロア相と考えられる。パイロクロア相は、強誘電性を示すペロブスカイト相より低温で形成される相であるが、一度形成されると容易にはペロブスカイト相に変化しないことも報告されている。このパイロクロア相はペロブスカイト相に比べて誘電率が低いので、第 3 章で議論したキャパシタの直列接続となり、強誘電性ペロブスカイト

PZT に印加される電圧が減少する。したがって、このような相が存在すると、強誘電体キャパシタの動作電圧が上昇してしまうと考えられる。よって、この PZT 薄膜にできる表面異相をなくすことを目標とする。

パイロクロア相は Pb と酸素が不定比で存在すると言われており、酸素欠損や Pb が化学量論組成からずれることで生じやすくなる。結晶化アニール中の薄膜の表面からは Pb が蒸発することが考えられるので、この蒸発を抑え組成ずれをなくすために、上部電極を堆積した後に PZT 薄膜の結晶化アニールを行うプロセスを検討した。

上部電極を堆積した後に、結晶化アニールを行ったところ、上部電極が剥離するという現象が見られた。図 5.11 に PZT ゼルゲル溶液の TG(Thermogravimetric) 曲線を示す。これより、400℃で行っている仮焼成では、炭素や水素の脱離が完全ではなく、結晶化の際に膜から発生するガスのために上部電極が剥がれていると思われる。そこで、上部電極を堆積する前に、膜から未反応ガスを抜くための RTA 処理を追加することにした。温度は、結晶化が起こらない温度範囲で、できるだけ効果の大きい高い温度に設定するということで 550℃に決定した。上部電極を堆積後、結晶化アニールを行う。この新プロセスを 2 段階アニール法と呼ぶこととする。

図 5.12 と図 5.13 に、それぞれ従来プロセスと新プロセスのプロセスフローと PZT 結晶化模式図を示す。2 段階アニール法で作製した PZT 薄膜の断面 TEM 像を図 5.14 に示す。従来プロセスで 100nm 程度あった PZT 結晶粒界の異相は 10nm に減少していることが確認できた。このときのヒステリシス特性を図 5.15 に示す。測定電圧は 1V から 5V まで 1V 刻みで測定した。2 段階アニールプロセスを採用することで、ヒステリシス特性の矩形性が向上し、特に 2V や 3V 印加時の残留分極値が増大していることが分かる。これは誘電率の低い面積が減少し、強誘電性 PZT に有効に電圧がかかるようになったためと考えられる。PZT のスピコート回数を 4 回から 3 回に減らし膜厚を 300nm から 230nm に薄膜化した PZT について、2 段階アニール法を適用した PZT 膜のヒステリシス特性と飽和特性と呼ばれる残留分極の印加電圧依存性を図 5.16 に示す。図より、2V の印加電圧で残留分極  $P_r$  はほぼ飽和しており、従来 5V の印加電圧が必要であった強誘電体薄膜を、3V の電源電圧で十分に駆動することができることを表している。このことは低電圧化の進む論理演算回路に強誘電体を適用するのに重要な条件を解決したと言える。

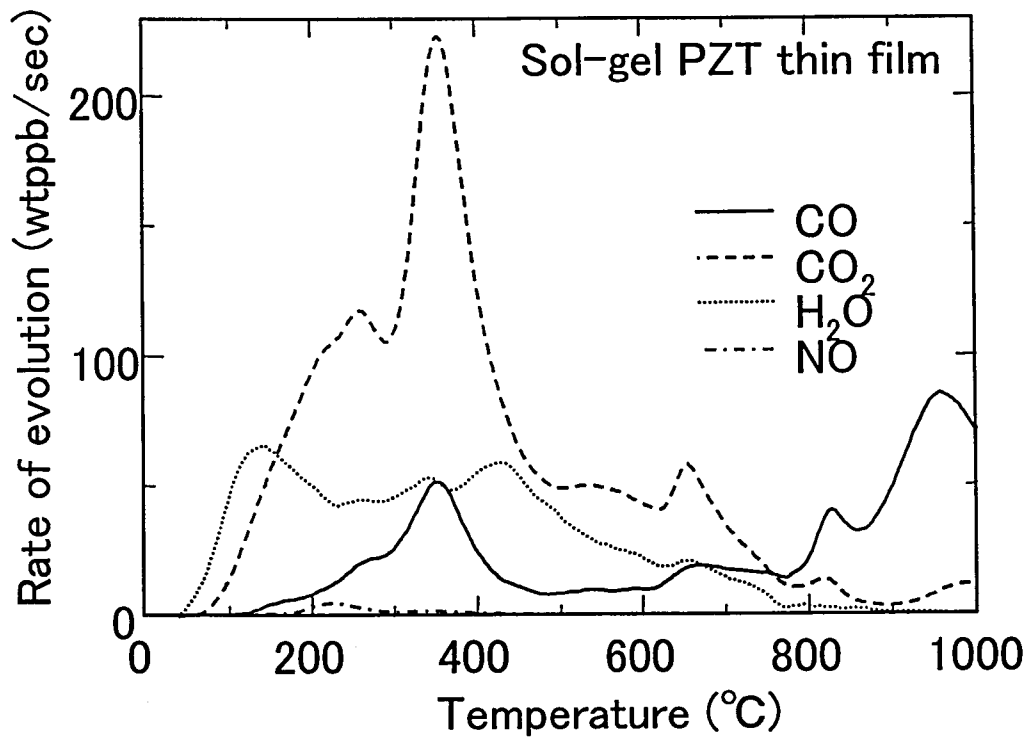


図 5.11 ソルゲル PZT 膜の TG(Thermogravimetric)曲線

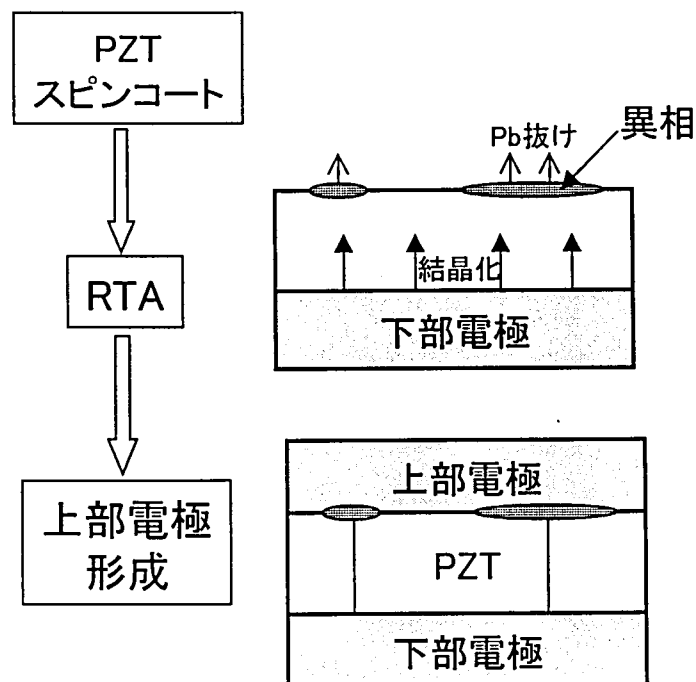


図 5.12 従来プロセスと PZT 結晶化模式図

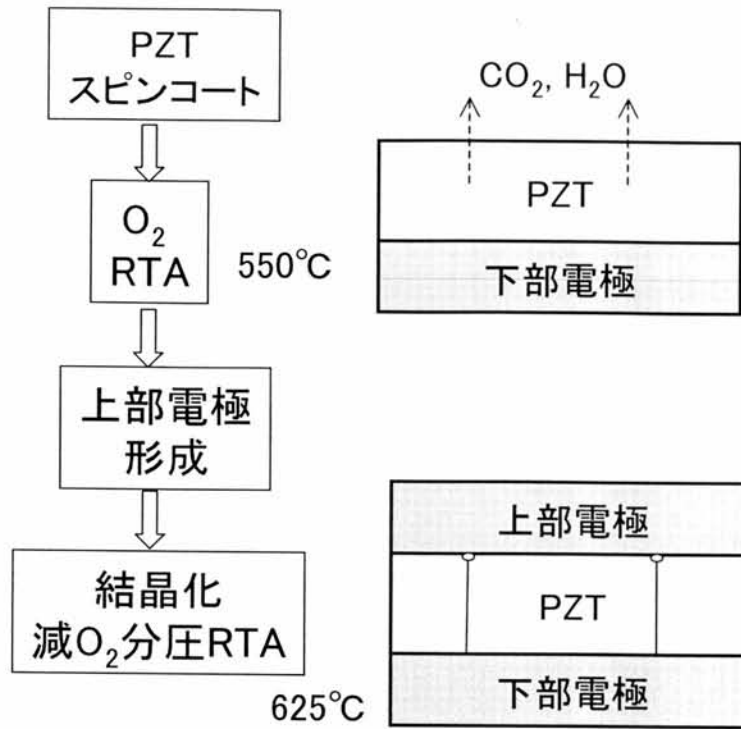


図 5.13 新プロセスと PZT 結晶化模式図

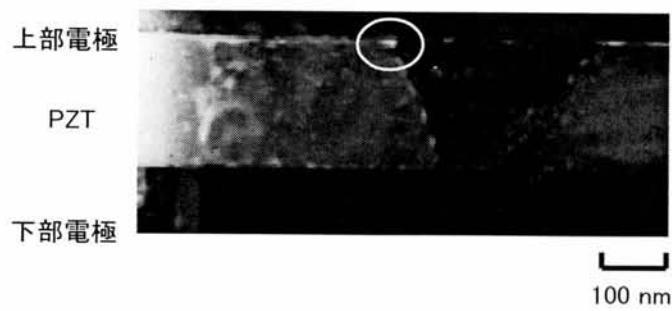


図 5.14 2 段階アニール法で作製した PZT 薄膜の断面 TEM 像

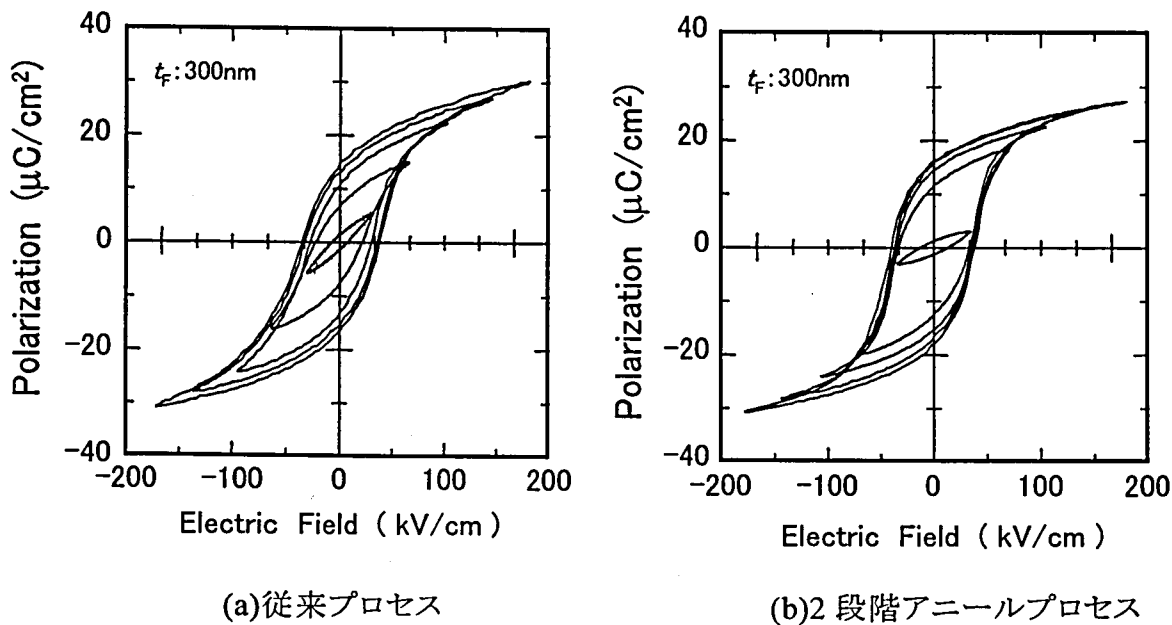


図 5.15 ヒステリシス特性(1V から 5V 印加、1V 刻みで測定)

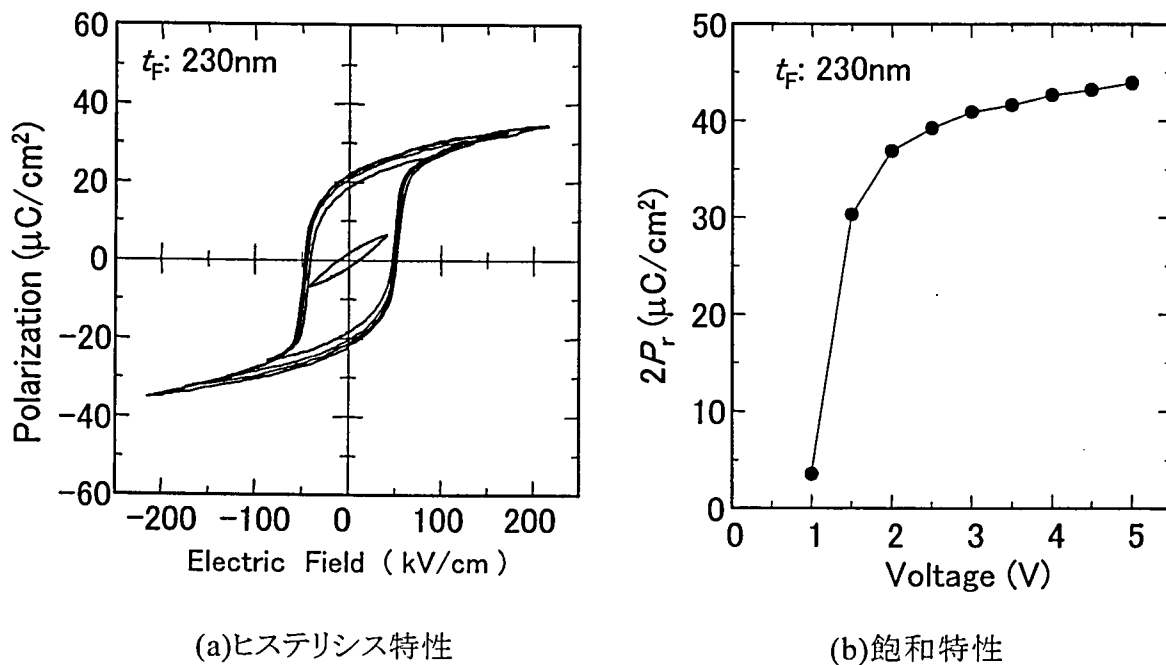


図 5.16 2 段階アニール法を用いた 230nm 膜厚 PZT の強誘電特性

### 5.1.3 疲労特性試験の加速方法の検討

5.1.1では、PZT 形成温度を低温化することで疲労特性を大幅に改善することができ、 $10^{10}$  回でも疲労特性が見られないことを示した。これまで疲労特性の測定には 500 kHz の矩形波を印加していたが、この周波数では  $10^{12}$  回のスイッチングテストを行うのにおよそ 23 日費やすため、現実的な比較評価をするのが困難である。

よって、疲労特性測定の周波数を上げ、より短時間で多回数スイッチングのデータを取るよう評価系を改良すると共に、疲労特性の温度依存性や電圧依存性を調査し、外挿することで、強誘電体キャパシタの長期の疲労特性を類推することとする。

図 5.17に従来の評価系、図 5.18に新しく構成した評価系を示す。従来のものはソーヤ・タワー回路を用いたもので、容量結合を利用した評価装置である。そのため、被測定キャパシタの静電容量は配線に使う同軸ケーブルの容量よりも十分に大きくなければならない。この大きな容量と、インピーダンスのマッチングが取れていないことにより、高速動作が難しい。

新しく構成した評価系は抵抗負荷型の系で、キャパシタに印加する電圧を掃引した際の電流を測定する。その電流波形を計算器で積分することで電荷と電圧の関係を得る。こうすることで、被測定サンプルの静電容量も小さくすることがでる。サイズ  $6\mu\text{m}^2$  で約 1pF 程度の静電容量をもつ小さな強誘電体キャパシタを用いて測定することとした。さらに、インピーダンスの不整合をなくす工夫をし、図 5.18(b)に示すように、10MHz まで十分に電圧が印加できていることを確認した。

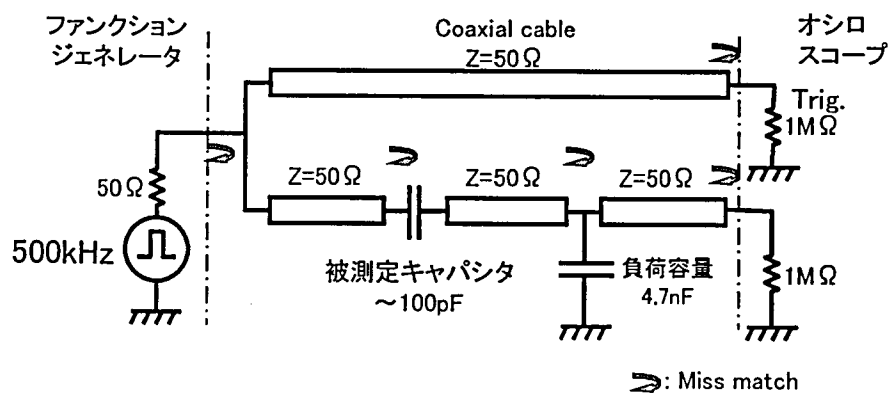


図 5.17 従来の疲労特性評価回路

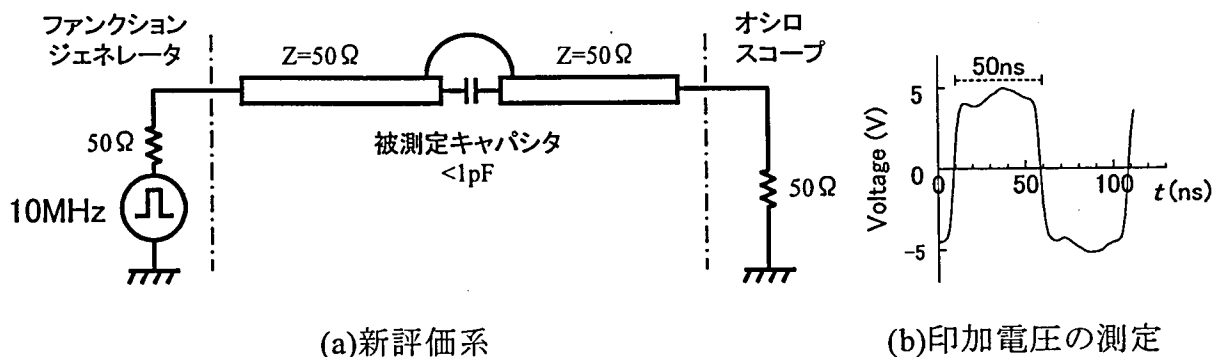


図 5.18 新しい疲労特性評価系と印加電圧波形の測定

図 5.19に 2 段階アニール法により作製した PZT 薄膜の疲労特性を示す。電源電圧は論理演算回路適用を考え 3V とした。10<sup>13</sup> 回のスイッチングを起こしても疲労が生じていないことが分かる。この 10<sup>13</sup> 回の疲労特性の測定は、強誘電体キャパシタの特性を直接測定したものとしては世界最高水準で、この回数においても疲労特性を示さない膜は初めてである。

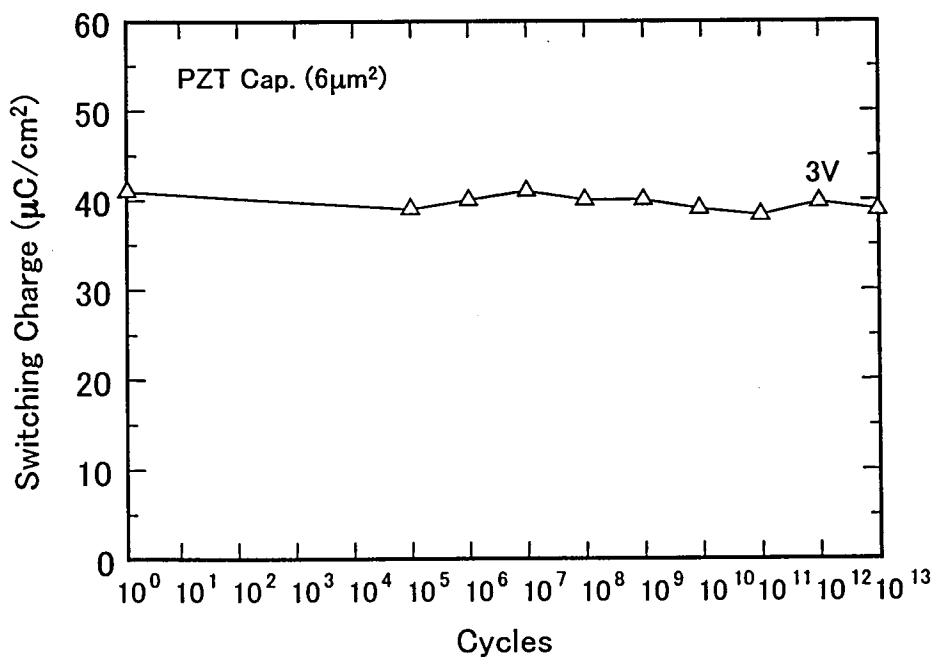


図 5.19 2 段階結晶化法を用いて作製した強誘電体の疲労特性

次に、さらに長いサイクルの疲労特性を評価するために、疲労特性の温度や印加電圧依存性を測定し、加速試験が可能であることを検討した。



まず、疲労特性の温度依存性を測定した。スイッチング電荷が初期の値の半分になったときの回数を疲労寿命と定義する。図 5.20 に疲労寿命の温度依存性を示す。温度が  $150^{\circ}\text{C}$  以下の場合活性化エネルギー  $E_a$  は約  $0.26\text{eV}$  で、 $150^{\circ}\text{C}$  以上で  $1.0\sim 1.4\text{eV}$  となり、 $150^{\circ}\text{C}$  付近でモードが変わっていることが分かる。このことから、使用温度から  $150^{\circ}\text{C}$  までは加速試験を行うことが可能であるが、活性化エネルギーが  $0.26\text{eV}$  と小さいために加速係数が小さく、効果的な加速試験を温度加速で行うことは難しい。次に、図 5.21 に疲労特性の電圧依存性の例を示す。疲労パルス電圧を変えると疲労寿命が大きく変化することが示された。これらの結果を基に、2 種類の製法による PZT 膜に関して疲労寿命を測定しプロットしたものを図 5.22 に示す。1 つは 2 段階アニール法、もう 1 つは従来の PZT 膜である。2 サンプルとも、べき関数でよくフィッティングできる。つまり、疲労寿命を  $T$ 、定数を  $\alpha$  とすると、 $T = V^{\alpha}$  と表され、 $\alpha$  は 2 サンプルともほぼ 10 である。このことを利用し外挿すると、使用温度  $85^{\circ}\text{C}$ 、電源電圧  $3\text{V}$  で  $2 \times 10^{15}$  回の寿命が得られると考えられる。これにより、強誘電体キャパシタで大きな課題であった疲労特性を、PZT 作プロセスを最適化することで、書換え制限のない強誘電体を作製することができた。

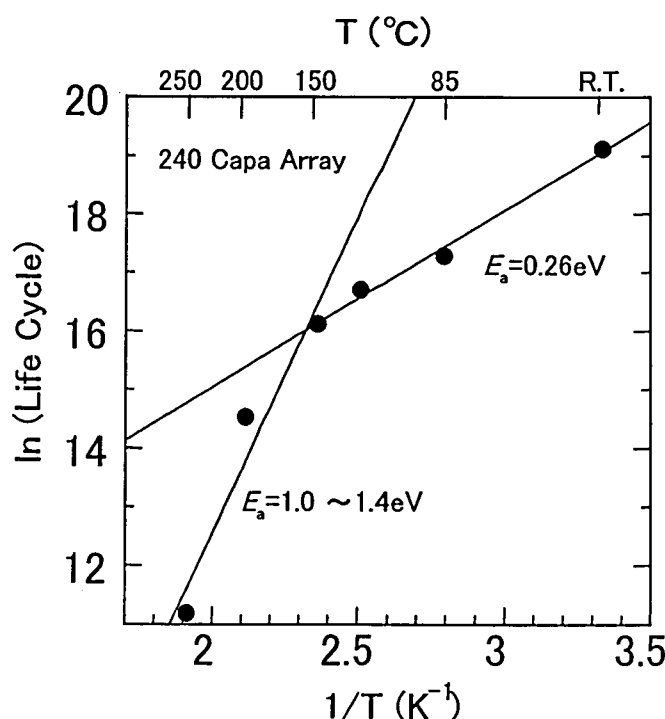


図 5.20 疲労寿命(Life Cycle)の温度依存性

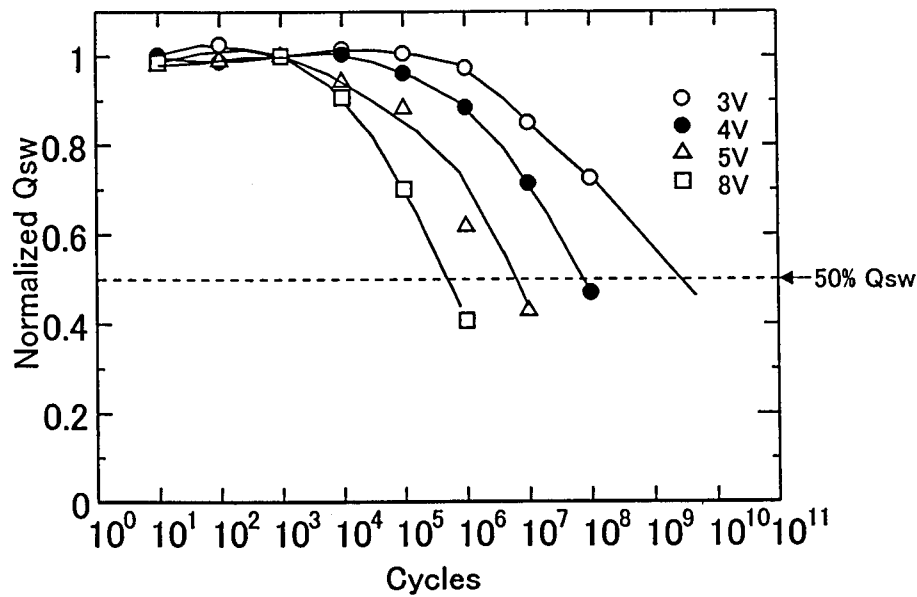


図 5.21 疲労特性の疲労パルス電圧依存性

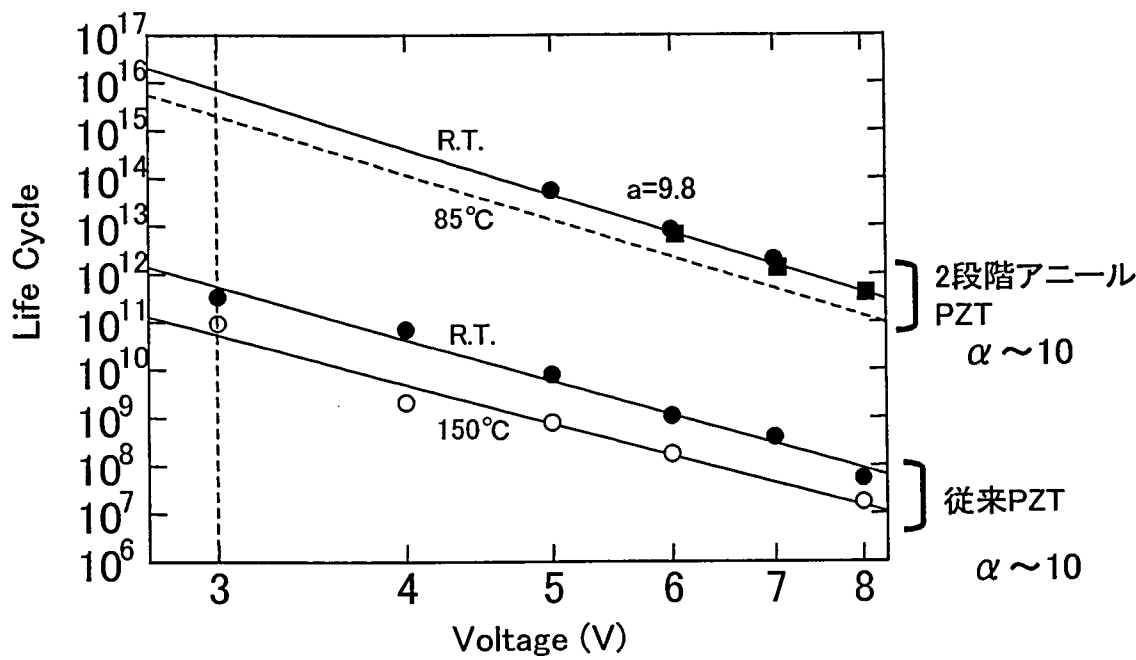


図 5.22 疲労寿命のべき関数プロット

## 5.2 強誘電体を用いた論理演算回路の不揮発化

本節では、初めに、論理演算回路の不揮発化が、LSI に与える利点を述べる。次に、論理演算回路の不揮発化を実現するための根幹となる基本回路である不揮発性ラッチ回路を提案する。続いて、提案する不揮発性ラッチ回路をLSI上に作製し、評価を行った。最後に、不揮発性ラッチ回路が、LSIのスケールリング則に沿って、微細化を進めていくことが可能かどうかを議論する。

### 5.2.1 不揮発性ラッチの提案

携帯電話やノートパソコンなどのモバイル機器は、近年急速に発展している。モバイル機器の重要な性能の一つに連続使用時間があり、それを伸ばすためにLSIのさらなる低消費電力化が要求されている。携帯電話やノートパソコンなどは、あるイベント(通話や人間がキータッチする等)が発生しているとき以外は、ほとんど情報処理がなく、その時間も長い。そのため、スタンバイ(待機)電力を小さくする方法が有効になる。

一般に、LSIの消費電力を低減する目的で電源電圧の低電圧化が行われるが、動作速度を劣化させないためにはしきい値電圧も同時に下げる必要があり、トランジスタのオフ電流を増大させスタンバイ電力の増加を招く。

スタンバイ電力の低減法として、いくつかの方式が提案されている。1つはMT(Multiple-threshold)-CMOS[4][5]で、2種類のしきい値のトランジスタを用意し、高いしきい値のトランジスタでリーク電流を遮断する方法である。これは、スタンバイ時に使用しないLSIブロックへの電源供給を止める方法であるが、低しきい値部分のラッチに蓄えられていたデータがスタンバイ中に消えてしまうため、バルーンラッチ[4]と呼ばれる回路を付け足す工夫などが考えられている。もう一つは、VT(Variable-threshold)-CMOS[6]で、基板バイアスを制御することでトランジスタのしきい値を変化させる方法であるが、トリプルウェル構造と基板電位を制御するための回路が必要となる。

また、高性能化のためのゲート絶縁膜の薄膜化は、これまで無視することができたゲート絶縁膜のリーク電流を急激に上昇させることになった。ITRS(International Technology Roadmap for Semiconductors)ロードマップによると、低スタンバイ電力(LSTP: Low Standby Power)デバイスは、2005年ゲート絶縁膜リーク電流が、トランジスタのソース・ドレイン間のオフ電流と同程度にまで増大し、ゲート絶縁膜に高誘電体材料を導入する必要があるとしている。前述のMT-CMOS技術はスタンバイ中の回路には電源供給しない方法であるので、ゲートに電圧が印加される時間と面積を減らすことができ、ゲート起因の消費電力増大を低減できると考える。

本節で提案する方法は、MT-CMOS をベースにしたもので、ラッチやフリップフロップに不揮発性を持たせることを特徴としている。図 5.23 に不揮発性ラッチを用いた MT-CMOS の構成を示す。ラッチされたデータは、回路への電源供給が停止している期間、強誘電体の分極として保存されており、電源供給が回復した際に、強誘電体からラッチ回路に読み出される。具体的には図 5.24 に示すように、組合せ論理演算回路を動作させるときは、スリープ信号 (SLP) を Low 状態にし、電源スイッチトランジスタ ( $M_{sw}$ ) を導通状態にする。すると、仮想電源線電圧 ( $V_{VDD}$ ) は電源線電圧 ( $V_{DD}$ ) と等しくなり、各回路に電力を供給することができる。一方、SLP を High 状態にし、 $M_{sw}$  を遮断状態にすると、 $V_{VDD}$  への電源供給は停止し、各回路の動作も停止する。その際、ラッチ回路が通常の揮発性ののであれば、組合せ論理演算回路で演算した結果が消滅してしまうが、ラッチが不揮発性であれば演算結果を、電源供給なしに、つまり、低消費電力で保持することが可能となる。この電源遮断と電源供給は、1ms や 1 $\mu$ s 程度の短い周期で行うことを想定しており、こまめに、頻繁に電源供給を停止することで低消費電力化を実現する。図 5.25 に書換え頻度をパラメータとし、使用年数と書換え回数を計算したものを示す。1 $\mu$ s 程度の不揮発性ラッチへの書換え周期を想定した場合、EEPROM 等の不揮発性メモリは、書換え耐性が  $10^6$  回程度なので、利用することができない。強誘電体の不揮発性を利用することで、頻繁な電源の供給遮断が可能になることが分かる。よって、強誘電体を用いて、ラッチを不揮発にすることとする。また、このラッチの不揮発データ保持期間としては、メモリのような 10 年という期間を期待するものではない。これは、あまり電源の供給遮断の周期が長い、つまり、不揮発性ラッチへのデータの書換え頻度が少ない状況では、電源をこまめに切ることによる低消費電力化手法の効果が少なくなるのは自明だからである。ここでは、不揮発性ラッチのデータ保持期間の目標値として、EEPROM 等の代替素子が存在する 1 時間を目標とする。

図 5.26 に強誘電体キャパシタを用いた不揮発ラッチ回路を示す。この回路は、通常の論理演算回路で使用するラッチ回路に 2 つの強誘電体キャパシタ ( $C_1$  と  $C_2$ ) とプレート線 (PL) を追加したものである。プレート線は強誘電体への不揮発データ書き込み (STORE)、不揮発データ読み出し (RECALL) の制御に利用される。強誘電体キャパシタを LSI に作りこむには、3 枚の追加マスクが必要であるが、STC (Stacked Type Capacitor) 構造を利用すると、面積増加なしに不揮発性を LSI に付与することができる [7]。

電源が供給されているアクティブ状態では、通常のラッチと同じく、データはインバータループで保持されている。電源供給を止める前に、あるいは電源電圧低下を検知して、ラッチされているデータを強誘電体キャパシタに移す (STORE)。次に電源供給を開始する前に、強誘電体キャパシタのデータをインバータループに復帰して、電源を入れる (RECALL)。

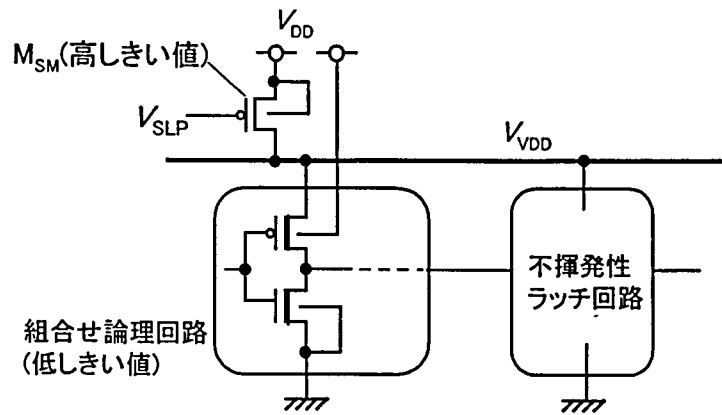


図 5.23 不揮発性ラッチを用いた MT(Multiple-threshold)-CMOS 構成

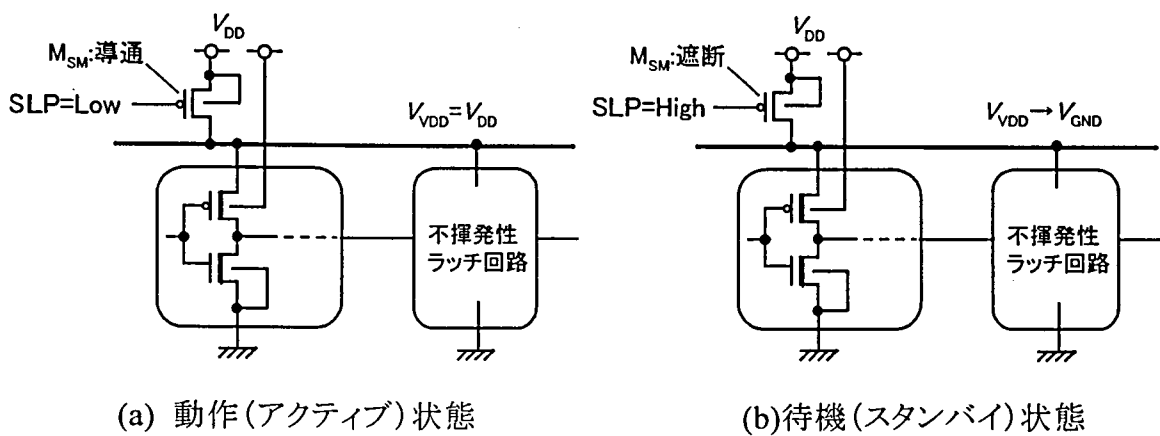


図 5.24 MT-CMOS 回路の動作

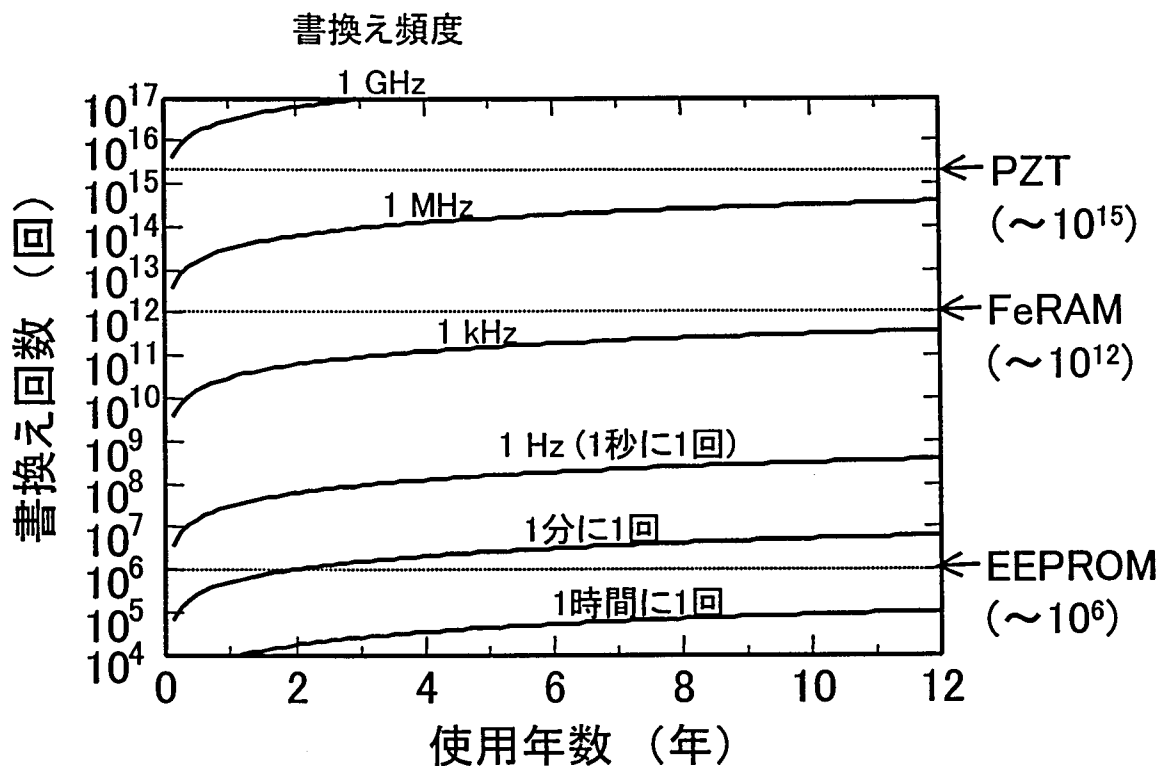


図 5.25 書換え頻度と必要な書換え回数の関係

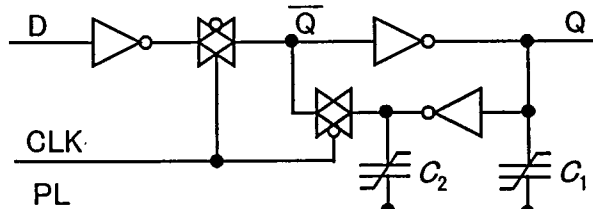


図 5.26 強誘電体キャパシタを用いた不揮発性ラッチ回路

強誘電体のヒステリシス特性を図 5.27に示す。ヒステリシス特性の縦軸の次元は単位面積あたりの電荷であり、横軸の次元は電圧であるため、図中の傾きは単位面積あたりの容量と等価である。強誘電体は印加電圧が零のときに2つの安定な状態を取り、その後電圧印加した際に異なった静電容量のキャパシタとして振舞う。強誘電体分極が反転する際の反転 (Switching) 容量は、分極が反転しない非反転 (Non-switching) 容量より大きな値を示す。

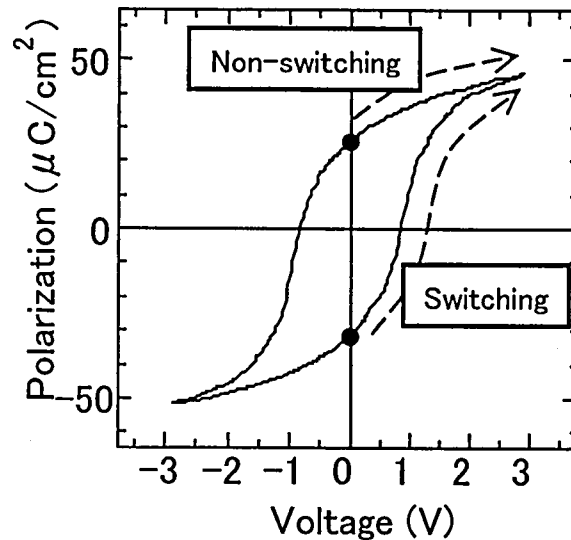


図 5.27 強誘電体のヒステリシス特性

図 5.28に STORE 動作のタイミングチャートを示す。図中、強誘電体キャパシタ  $C_1$ ,  $C_2$  に印加されている電圧は、強誘電体ヒステリシスループ上の動作点(黒丸)として表している。アクティブ状態では、プレート線は VDD か GND レベルに固定される。これにより、強誘電体の不必要な分極反転を防ぐことができる。プレート線の状態を変化させる、すなわち、High から Low、もしくは Low から High に変化させると、2 つの強誘電体は相補的に分極される。その後電源をオフにする。図 5.29に RECALL 動作のタイミングチャートを示す。回路に電源供給を開始する前にプレート線のみを VDD レベルまで駆動する。強誘電体の分極の向きに応じて、Q および  $\bar{Q}$  (は負論理を示す)の電位は異なったレベルまで上昇する。具体的には、プレート線に電圧を印加することで、一方の強誘電体のみが分極反転を起こし、その強誘電体キャパシタ(この例では  $C_1$ )に接続されているノード(この例では Q)の電圧が、もう一方のノード(この例では  $\bar{Q}$ )より、高くなる。この状態で電源供給を開始し、インバータループによる電位差の増幅を行うことで、以前の状態を復元することができる。

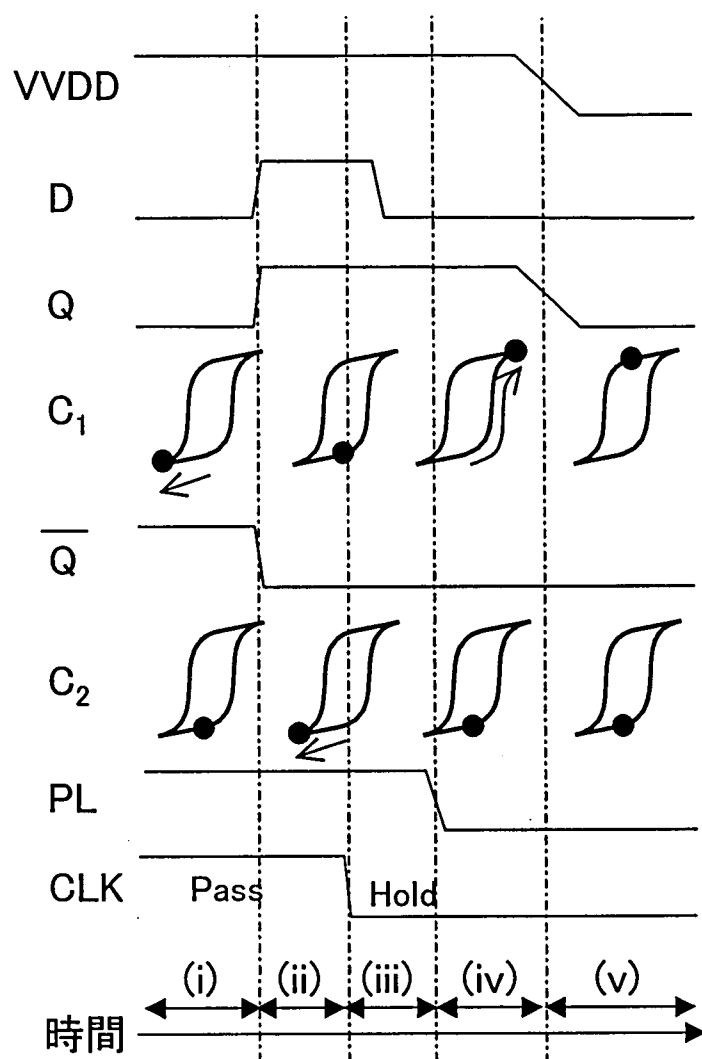


図 5.28 STORE 動作のタイミングチャート



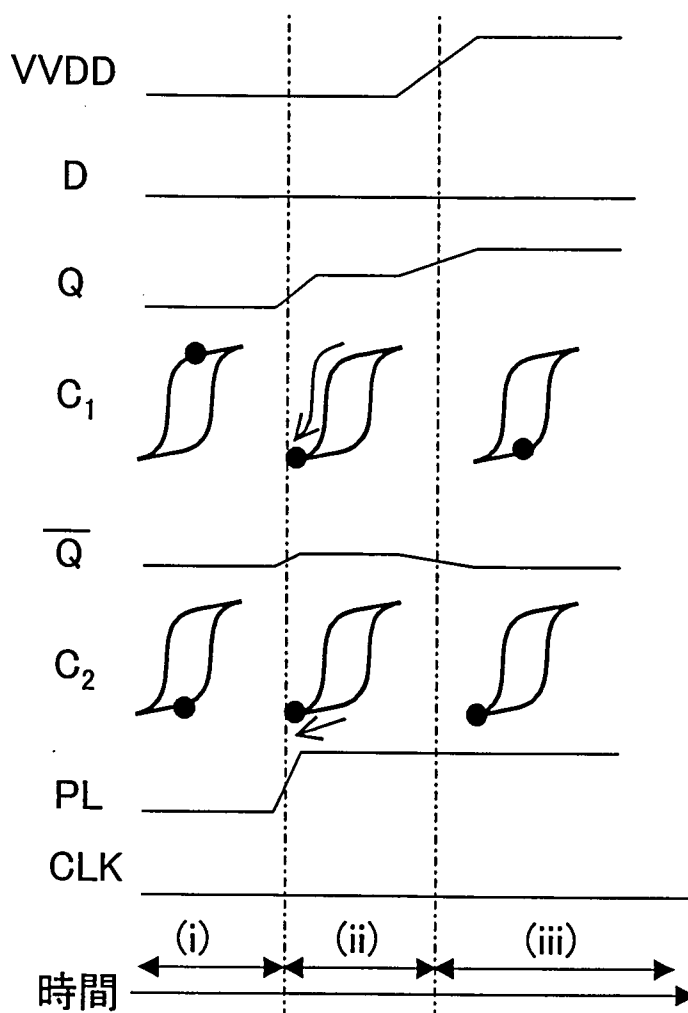


図 5.29 RECALL 動作のタイミングチャート

### 5.2.2 不揮発性ラッチ回路の作製と評価

提案する不揮発性ラッチ回路の動作検証と性能評価を行うため、LSI プロセスを用いて試作を行った。0.6 $\mu\text{m}$  ルール CMOS LSI プロセスを用いてトランジスタを形成したのち、PZT 強誘電体キャパシタを形成し、提案回路を作製した。図 5.30 に試作した強誘電体不揮発性ラッチのレイアウト図と光学顕微鏡写真を示す。表 5-2 に回路パラメータを示す。標準の FET のゲート長( $L$ )、ゲート幅( $W$ )は、n チャンネル FET で  $L/W=0.6/1.8\ \mu\text{m}$ 、p チャンネル FET で  $L/W=0.6/2.3\ \mu\text{m}$  である。強誘電体キャパシタ面積は  $2.7\ \mu\text{m}^2(1.65\ \mu\text{m} \times 1.65\ \mu\text{m})$  である。

図 5.31 に不揮発性ラッチの測定系を示す。出力  $Q$  は、同一チップ上に作製された出力バッファを介してチップ外に出力されている。出力バッファの駆動能力は、標準 FET の 5 倍で、 $Q$  の負荷としては、ファンアウト 2 に相当する。出力波形はデジタルオシロスコープ

(HP54510B)で測定する。入力はチップの電源 VVDD、データ D、クロック CLK、プレート線 PL の 4 つで、それぞれデジタル信号発生器(HP8175)を使い波形を入力している。

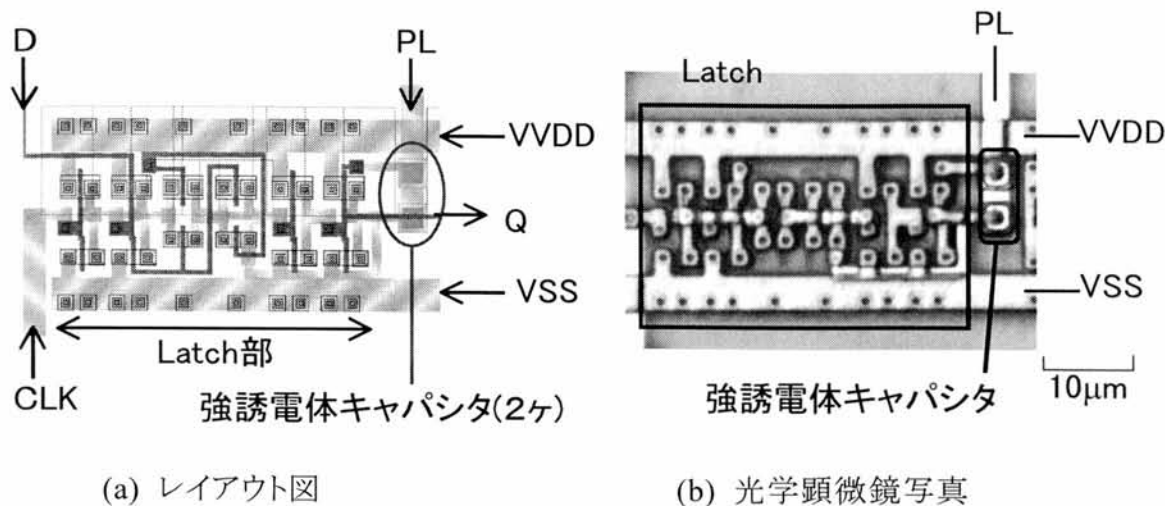


図 5.30 試作不揮発性ラッチ回路

表 5-2 試作不揮発性ラッチ回路の回路パラメータ

項目		記号	値
電源電圧		$V_{DD}$	3 V
トランジスタサイズ	n-MOS	$L/W$	0.6/1.8 $\mu\text{m}$
	p-MOS	$L/W$	0.6/2.3 $\mu\text{m}$
しきい値電圧	n-MOS	$V_{tn}$	0.68 V
	p-MOS	$V_{tp}$	0.78 V
強誘電体面積		$S_F$	2.7 $\mu\text{m}^2$

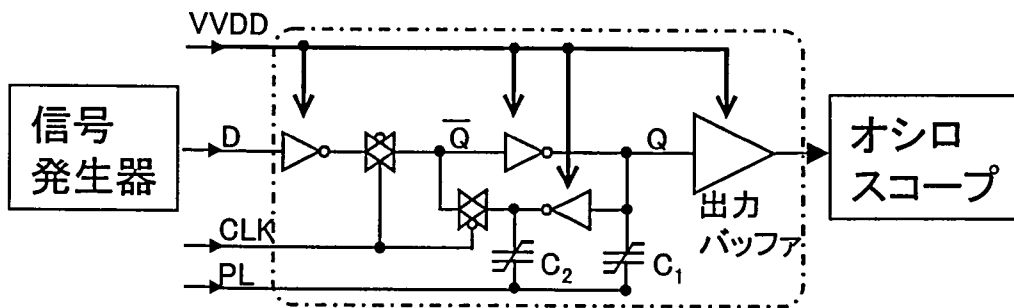


図 5.31 不揮発性ラッチの測定系

図 5.32に不揮発性ラッチの理想タイミングチャートを、図 5.33に不揮発性ラッチの測定波形を、それぞれ示す。電源供給(VVDD=High)後にラッチの動作確認を行い、プレート線(PL)にパルスを入れて D の状態を強誘電体書き込む。電源を切り(VVDD=Low)、所定の時間放置し、再び電源を供給する。電源を供給する前にプレート線を High レベルまで駆動し、強誘電体の分極を読み出ししておくことで、データが再現する(RECALL)。データの再現が、電荷蓄積(ダイナミック動作)によるものではなく、強誘電体によるものであることを確認するために、不揮発性データ保持期間に 150℃、15 時間の加熱処理を行った。この処理により動的な電荷の影響を無くすることができる。また、この熱処理条件は強誘電体分極が減少する温度加速係数[8]を考慮すると、常温で約 6 年に相当する。この不揮発データ保持試験を全 10 チップ(High 記憶 5 チップ、Low 記憶 5 チップ)について行った。結果、すべてのチップでデータが再現できることを確認した。

図 5.34に RECALL 動作の PSPICE シミュレーション波形を示す。強誘電体モデルとして、ヒステリシス特性を 1 次近似したものをを用いた。分極反転時は 430 fF、非反転時は 110 fF の線形容量としてモデル化した。また、電力遮断用のトランジスタとプレート線ドライブトランジスタの駆動能力は、それぞれ、100 倍および 10 倍とし、VVDD 線の容量は 10 pF とした。

電源が供給されたとき、つまり VVDD が High に変化するときの、Q と  $\bar{Q}$  の電位差を信号余裕( $V_{sg}$ )とする。この値が大きいほど、データ復帰を安定に行うことができる。本研究で作製した不揮発性ラッチでは信号余裕は 1V 以上と、トランジスタのしきい値以上あるため、確実にデータの再現ができているものと考えられる。

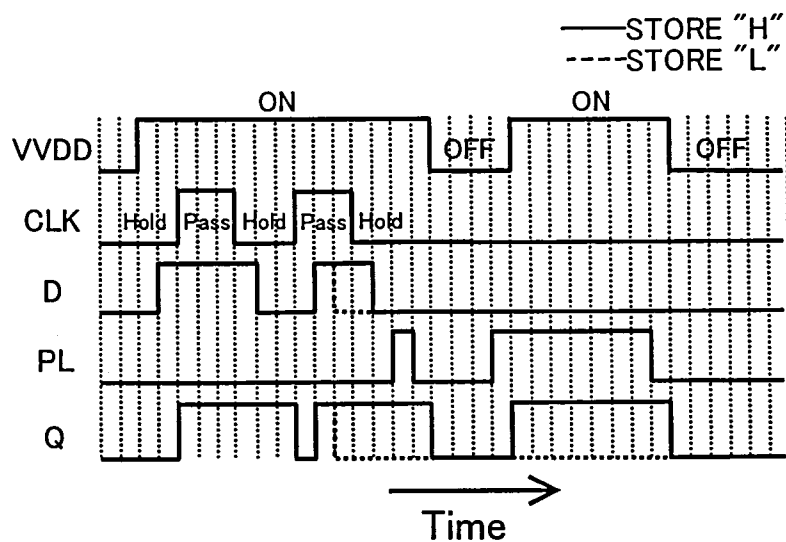


図 5.32 不揮発性ラッチの理想タイミングチャート

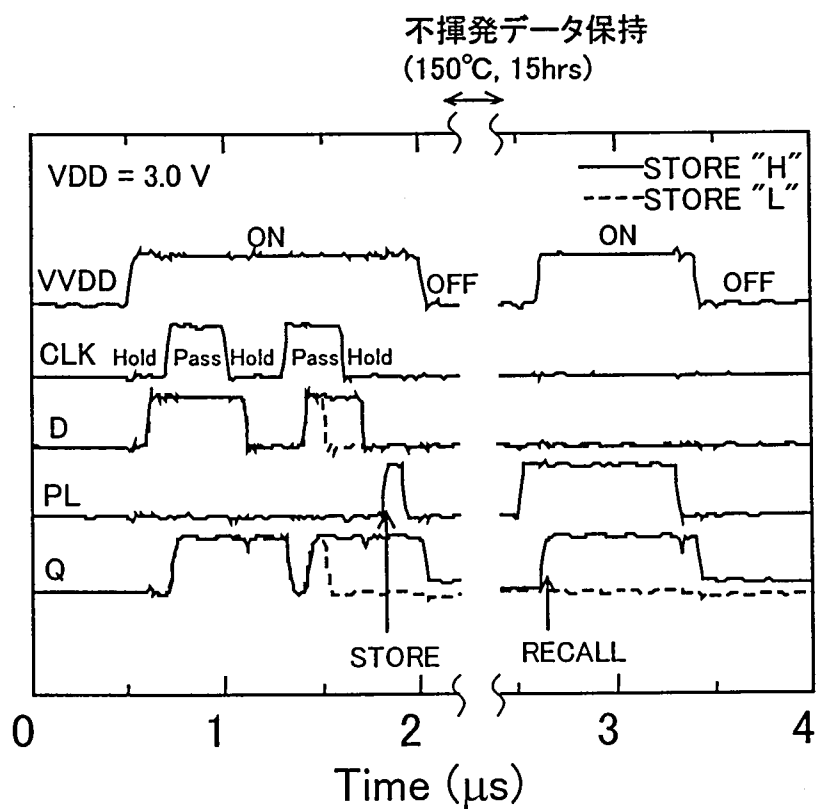


図 5.33 不揮発性ラッチの測定波形

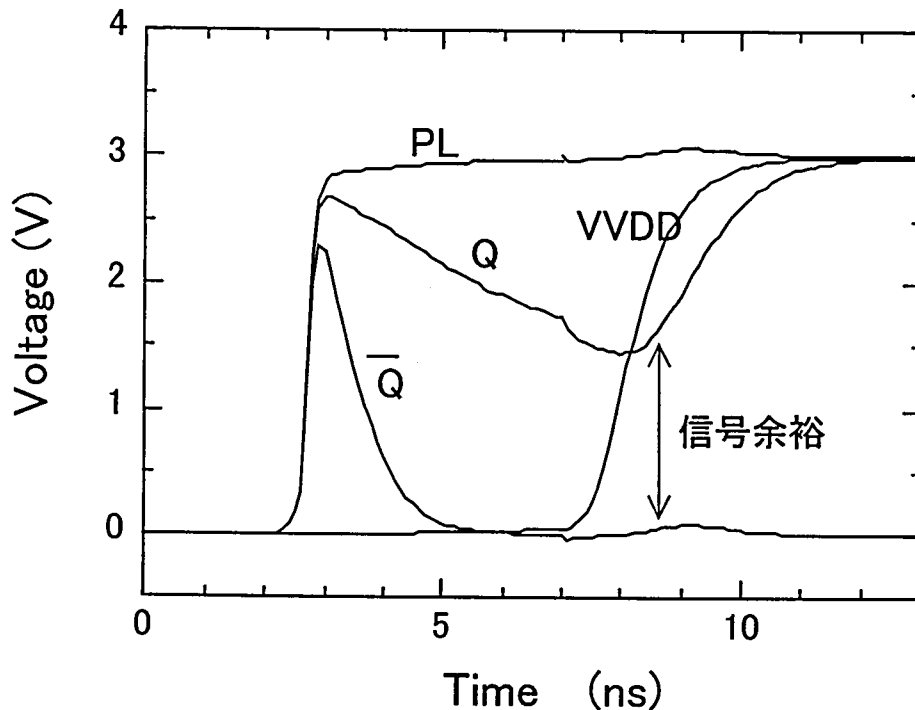


図 5.34 RECALL 動作の PSPICE シミュレーション

作製したラッチの速度性能を評価する目的で、セットアップ時間を測定した。図 5.35に示すように、データ(D)の変化からクロック(CLK)の立下りまでの時間を変えていき、データを正確に取り込める最小の時間差をラッチのセットアップ時間と定義した。図 5.36に試作したラッチのセットアップ時間のプレート線(PL)電位依存性を示す。セットアップ時間はプレート線電位が中間点( $V_{DD}/2$ )のとき最も大きく、つまり、動作速度が遅く、なっている。強誘電体の抗電圧が約 0.8 V であり、電源電圧の半分( $V_{DD}/2=1.5$  V)より小さいため、データ(D)の状態が変化するたびに強誘電体の分極反転が起こり、等価的に負荷容量が大きくなるためにスピードが劣化していると思われる。スピード劣化を最小限にするためには、プレート線は VDD および GND レベルに固定されるべきである。また、強誘電体キャパシタがない通常のラッチのセットアップ時間は 0.6ns であり、プレート線を VDD および GND に固定した場合のセットアップ時間は 0.7ns であるので、強誘電体を負荷したことによる速度劣化は最小限に抑えることができた。

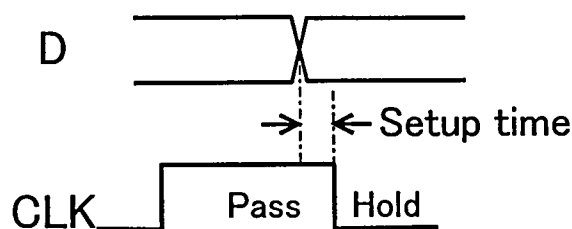


図 5.35 セットアップ時間

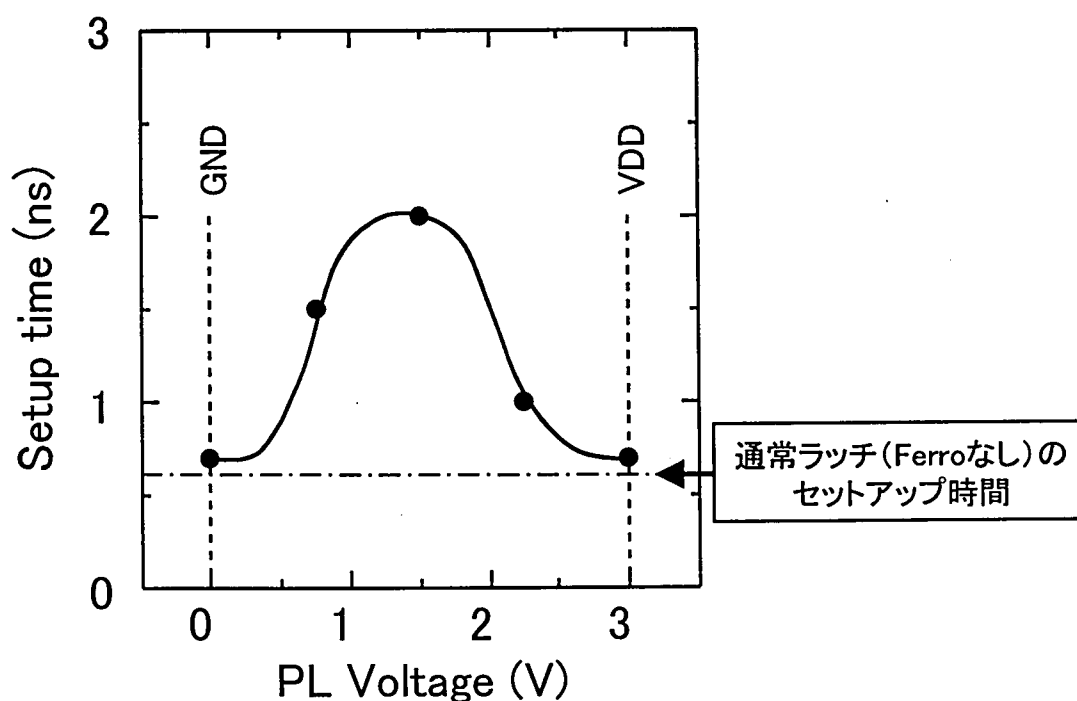


図 5.36 セットアップ時間のプレート線(PL)電位依存性

### 5.2.3 不揮発性ラッチのスケーリング

ここでは、提案した不揮発性ラッチが LSI のスケーリング則にそって縮小していけるかを考察する。初めに動作電圧に関しては、木島らが、0.5V の電圧で動作する薄膜の開発に成功している[9]。したがって、動作余裕を考えても 1V 程度の電源電圧で強誘電体を用いた回路を利用することは可能である。

表 5-3に回路定数のスケーリングを示す。表中の上から 3 行、世代(Generation)、電源電圧( $V_{DD}$ )、オン電流( $I_{on}$ )、は ITRS ロードマップから引用したものである[10]。これに沿って、強

誘電体のパラメータを決定し、スケーリングが可能かを計算した。まず、強誘電体キャパシタサイズを  $8F^2$  ( $F$  は最小加工寸法：世代に相当) と仮定した。つまり、世代が進み微細化しても、LSI 上の回路は面積方向には相似形を保つ。次に、強誘電体の膜厚を電源電圧  $V_{DD}$  に比例して薄くすると仮定している。強誘電体にかかる電界は一定で、強誘電体から発生する分極量は一定である。このとき、強誘電体キャパシタの面積は 1 世代ごとに 0.5 倍、膜厚は 0.8 倍となるので、強誘電体の容量は 1 世代ごとに 0.625 倍 ( $=0.5/0.8$ ) となる。世代ごとの倍数をスケーリングファクタという。強誘電体容量を駆動するのに必要な時間 (遅延) は  $C_F V_{DD}/I_{on}$  で決まるので、それぞれのスケーリングファクタを考慮すると、0.4 倍となる。これは通常の CMOS ゲート FET 遅延のスケーリングファクタ 0.67 倍より小さい。つまり、強誘電体容量による遅延は世代が進むごとに、FET の遅延より、小さくなっていき、ついには無視できるようになることを示している。これは、強誘電体の面積の減少 (0.5 倍/世代) と比較して、電源電圧 (つまり強誘電体膜厚) の減少 (0.8 倍/世代) が緩やかなためである。

表 5-3 不揮発性ラッチの回路定数のスケーリング

世代*	$F$ [nm]	本研究					スケーリングファクタ
		600	180	130	90	65	
電源電圧*	$V_{DD}$ [V]	3.0	1.5	1.2	1.1	0.9	$0.8\times(0.85\times)$
オン電流*	$I_{on}$ [ $\mu A/\mu m$ ]	200	250	300	400	500	$1.25\times$
強誘電体 キャパシタサイズ	$C_F$ [ $\mu m^2$ ]	2.8	0.26	0.14	0.07	0.03	$0.5\times$
強誘電体 キャパシタ膜厚	$t_F$ [nm]	240	130	100	85	70	$0.8\times(0.85\times)$
強誘電体容量	$C_F$ [fF]	110	27	17	10	6.5	$0.625\times$
遅延 (180 nm 世代を 1)	$C_F V_{DD}/I_{on}$	-	1	0.4	0.16	0.064	$0.4\times$

\*:2001 ITRS

### 5.3 強誘電体を用いた論理演算回路

前節では、強誘電体を用いることで、論理演算回路の中に 1 ビットの記憶装置を効率よく作り込むことを達成した。本節では、この考えを応用して、論理演算回路を高性能化する手法を提案する。

論理演算回路は集積回路の発明以来、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)に代表されるように、急速な進歩を遂げてきた。しかしながら、近年、この集積回路の高速化において、演算器とメモリの間を結ぶ配線 (バス) に起因するデータ転送ボトルネックが大きな問題となりつつある[11][12]。これまでの集積回路は、回路の微細化によって高

性能化を達成してきた。これは、電界一定のスケーリング則で集積回路の設計ルールを  $1/k$  にした場合、ゲート遅延時間が  $1/k$ 、デバイス面積が  $1/k^2$  となり、演算器の高速化やメモリの高密度化が達成できるためである。その一方、演算器とメモリを結ぶグローバル配線の配線遅延時間は  $k^2$  となることが知られており、逆に遅くなってしまう。この問題は微細化が進むにしたがって顕著となり 2013 年に予想される  $0.035\mu\text{m}$  ルールでは、図 5.37に示すようにグローバル配線遅延がゲート遅延の数百倍になると予測されている[13]。従って、今後の極微細加工 VLSI プロセッサでは、グローバル配線でのデータ転送を極力排除したシステム構成が重要となる。

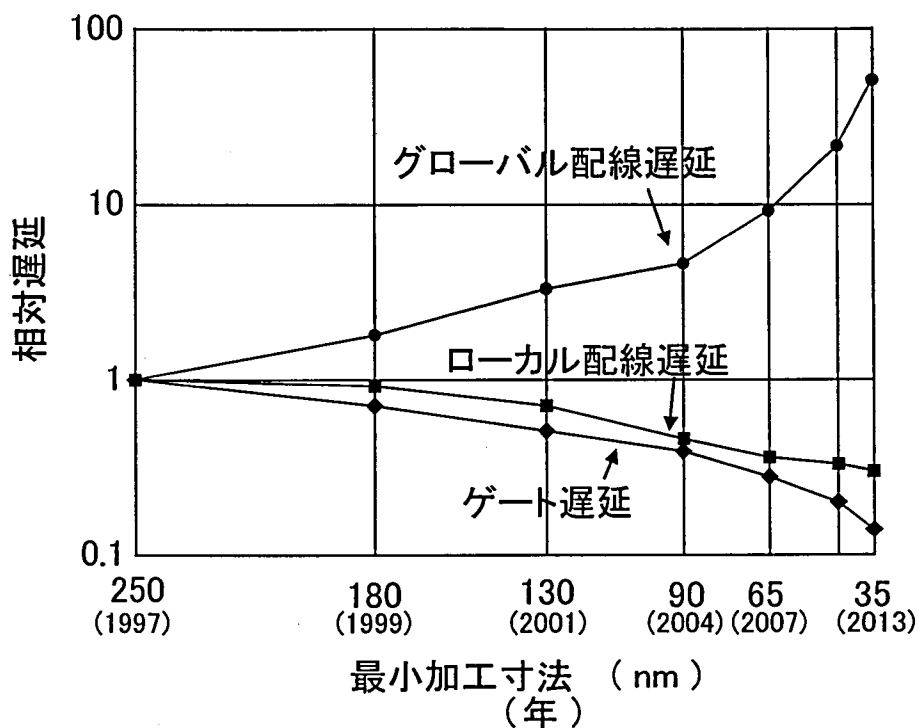


図 5.37 集積回路の微細化に伴う配線遅延の増大



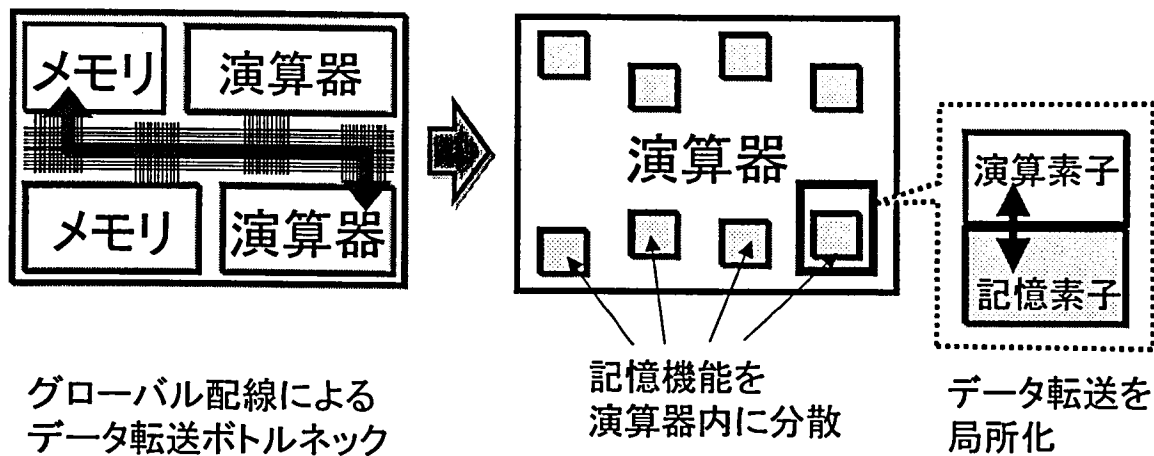


図 5.38 ロジックインメモリアーキテクチャ

このような観点から、本節では、データ転送のボトルネックを根本的に解決する手法として、ロジックインメモリアーキテクチャ(Logic-in-memory architecture)に着目し[14]、論理演算回路の構成法について述べる。このロジックインメモリアーキテクチャは、演算器と小容量の記憶素子からなる基本モジュールを組合せ、記憶機能を演算機内に分散した形でシステムを構成する。この場合、図 5.38に示すように、システム内においてデータ転送量が多い演算器と記憶素子を物理的に近接させ、データ転送を局所化することができるため、グローバル配線によるデータ転送を大幅に削減した論理演算回路を構成できる。

しかしながら、従来の回路技術を用いてロジックインメモリ集積回路を構成すると、演算器内の記憶素子をすべて CMOS によるラッチ、レジスタ等で構成することになり、面積増加が非常に大きくなってしまう。このため、データ転送ボトルネックを解消する反面、面積増大に起因する性能劣化が大きくなる可能性がある。したがって、ロジックインメモリ集積回路によりシステムの高性能化を図るには、演算器とメモリを小さな面積で混在できる新たな回路技術が必要不可欠である。

現在、高性能ロジックインメモリ集積回路を構成する一手法として、フローティングゲート MOS トランジスタを用いたロジックインメモリ回路が提案されている。この手法では、フローティングゲート MOS トランジスタを活用してデバイスレベルで記憶機能と演算機能を一体化し、さらに多値論理技術を活用することによってコンパクトなロジックインメモリ集積回路を実現できる[15]。

その応用範囲としては、フローティングゲート MOS トランジスタが有する不揮発性記憶機能を活用し、データベース用、パターンマッチング用など記憶データを長期間保持するシステムが挙げられる。しかしながら、フローティングゲート MOS トランジスタの特性により記憶データ

の書き込みが遅い、即ち演算動作中は記憶データが半固定となるため、データの高速書き込みを必要とするパイプライン処理などの応用には不向きである。したがって、ロジックインメモリ集積回路において、記憶データへの高速アクセス性や不揮発性を同時に実現できれば、図 5.39に示すように、高性能集積回路の応用範囲をパイプライン演算器や大規模順序回路、画像処理プロセッサなどへ大きく拡大できる。

本節では、高速アクセス性、不揮発性記憶機能を実現する高性能ロジックインメモリ VLSI 向け回路技術として、強誘電体キャパシタを活用して記憶機能と演算機能をデバイスレベルで一体化した機能パスゲートを提案すると共に、本機能パスゲートを活用して超並列処理へと応用可能なロジックインメモリ VLSI をコンパクトに構成する手法を述べる。

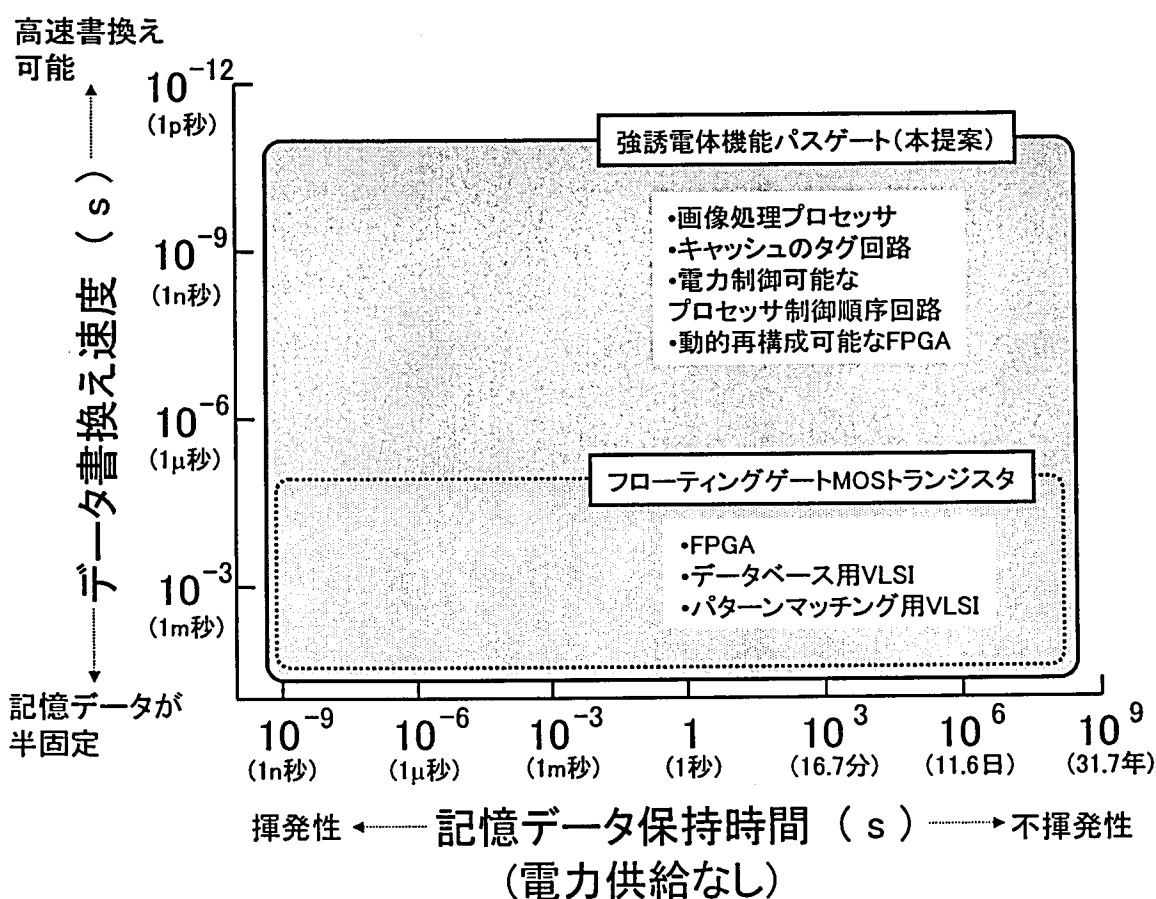


図 5.39 ロジックインメモリ回路のメモリ性能とその応用範囲

### 5.3.1 強誘電体機能パスゲートロジックの提案

図 5.40にロジックインメモリ回路の概略図を示す。この回路は外部入力ベクトル  $X$  と記憶データベクトル  $Y$  の間で演算し、結果をベクトル  $Z$  として出力する。本提案のロジックインメモリ回路は、図 5.41に示す機能パスゲートを基本要素とし、これらを相互に接続することによって構成される。ベクトル  $Y$  の要素である1ビットデータ  $Y_j$  は各機能パスゲートの記憶素子に相補的データの組  $(y, \bar{y})$  として保持される。1ビットの外部入力  $X_1, X_2$  が入力されると、機能パスゲートは論理演算  $F(X_1, X_2, Y)$  を実行し、演算結果によってパスゲートのスイッチング状態を決定する。一つのパスゲートは論理演算  $F(X_1, X_2, Y)$  が“1”になるときのみ導通状態になるので、図 5.42に示すように論理積(AND)や論理和(OR)をパスゲートの直列接続や並列接続のみで実現することができる。

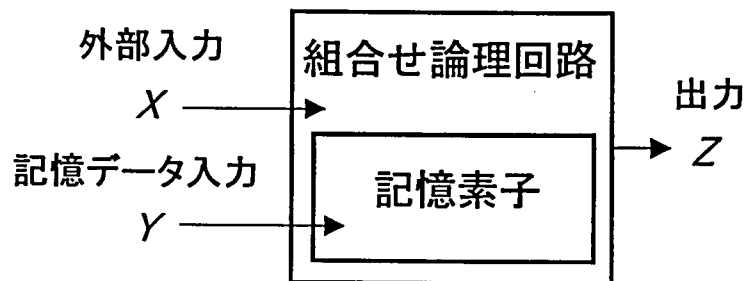


図 5.40 ロジックインメモリ回路の概略図

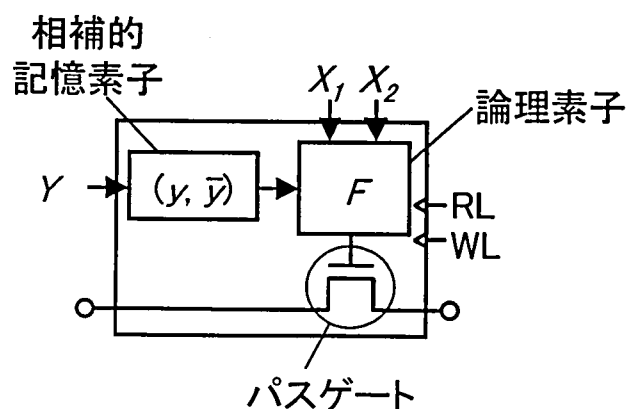


図 5.41 機能パスゲートのブロック図

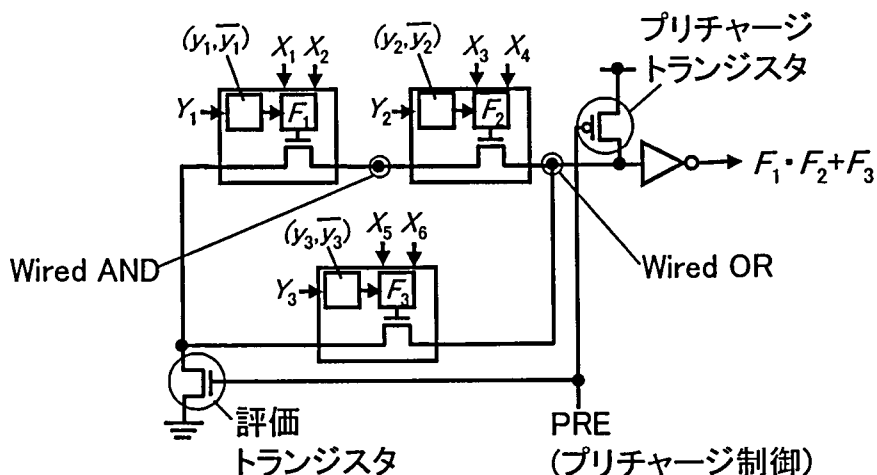


図 5.42 機能パスゲートを用いたロジックインメモリ回路の例

図 5.43に本提案の相補型機能パスゲートの回路図を示す[16]。この回路は4つのn型MOSトランジスタと2つの強誘電体キャパシタからなる。トランジスタ $M_{R1}$ 、 $M_{R2}$ と $M_W$ は、強誘電体キャパシタ $C_S$ 、 $C_{S'}$ の両端に印加する電圧の制御に用いる。トランジスタ $M_P$ はゲート電圧がしきい値 $V_{th}$ 以上になると導通状態になり、マッチライン(ML)の電荷を放電するためのパスゲートとして動作する。演算結果 $Z$ は出力線(OUT)の電位として得られる。

図 5.44に相補型機能パスゲートロジック回路の動作タイミングチャートを示す。書き込み(Write)モードではWLを活性化し、BL1、BL2およびBLwを通じて、1組の相補的電圧( $V_y$ ,  $V_{y'}$ )を強誘電体キャパシタ $C_S$ と $C_{S'}$ に印加する。一タ $Y$ が"1"のときは( $y$ ,  $\bar{y}$ )=(1,0)とし、( $V_y$ ,  $V_{y'}$ )を( $V_{DD}$ ,  $V_{SS}$ )に設定する。また、 $Y$ が"0"のときは( $y$ ,  $\bar{y}$ )=(0,1)とし( $V_y$ ,  $V_{y'}$ )を( $V_{SS}$ ,  $V_{DD}$ )に設定する。図 5.45は $Y=1$ を書込む際の電圧印加例である。ここで、 $V_{SR}$ は強誘電体に印加される書き込み電圧であり、 $V_{SR}=V_{DD}-V_{SS}$ で定義される。

演算(Execute)モードでは、イニシャライズ(Initialize: INIT.)、演算(Operate: OP.)、再書き込み(Restore: RES.)の3つ動作が順に実行される。イニシャライズ(INIT.)ではBL1とBL2は $V_{SS}$ に固定され、リセット線(RL)がHighに設定される。このとき、 $C_S$ および $C_{S'}$ の両端はそれぞれ短絡され、パスゲート $M_P$ のゲート電極は $V_{SS}$ に設定される。演算(OP.)ではプリチャージ制御線(PRE)をHighにし、図 5.46に示すように外部入力 $X_1$ ,  $X_2$ に対応した電圧信号 $V_{X1}$ ,  $V_{X2}$ をBL1、BL2にそれぞれ印加する。もし $V_{X1}=V_{X2}$ 、つまり( $X_1$ ,  $X_2$ )=(0,0)または(1,1)のときは、 $V_G$ は $V_{X1}$ ( $V_{X2}$ )にほぼ等しい電圧となる。一方、 $V_{X1} \neq V_{X2}$ の場合は、 $V_G$ に生じる電圧は強誘電体キャパシタに記憶されているデータに大きく依存する。なぜなら、図 5.47に示すように、強誘電体の静電容量は分極の状態により値が変化する性質があるからである。ここで、( $V_{X1}$ ,

$V_{X2})=(V_{DD}, V_{SS})$ 、つまり $(X_1, X_2)=(1,0)$ のときの演算(OP.)動作について説明する。記憶データ  $Y$  が 1 の場合、 $C_S$  の容量は  $C_{S'}$  の容量より小さくなる。したがって、 $C_S$  に印加される電圧  $V_S$  は容量結合により、 $V_{S'}$  より高くなる。このとき、パストランジスタ  $M_p$  のゲート電圧  $V_G$  は、図 5.48(a)に示すように  $M_p$  の閾値電圧  $V_{th}$  より低い電圧  $V_{G1}$  となり、 $M_p$  は遮断状態が保持される。 $Y=0$  の場合は、 $V_G$  は  $V_{th}$  より高い電圧  $V_{G0}$  となり、 $M_p$  は導通状態となる。同時にマッチ線 (ML) は  $M_p$  を通じて放電され、出力  $Z$  が”1”となる。図 5.48(b)は $(V_{X1}, V_{X2})=(V_{SS}, V_{DD})$ 、つまり $(X_1, X_2)=(0,1)$ の場合に  $C_S$  と  $C_{S'}$  の容量結合によって生じる電圧を示したものである。以上、入力データ  $X_1, X_2$ 、記憶データ  $Y$  と  $M_p$  のスイッチング状態ををまとめると表 5-4のように表すことができる。この表より、提案する相補型機能パスゲートの論理式は以下のように記述することができることが分かる。

$$F(X_1, X_2, Y) = X_1 \cdot X_2 + X_1 \cdot \bar{Y} + X_2 \cdot \bar{Y} \quad (5-1)$$

また、本提案の機能パスゲートでは、相補的に書き込んだ 2 つのキャパシタを用いることで、記憶データがそれぞれ”0”, ”1”のときの  $V_G$  の電圧振幅  $\Delta V_G$  が大きくなるため高速動作に有利である。また、図 5.48に示すように、強誘電体の抗電圧  $V_o$  を超えないように設計できるので、擬似的に非破壊読み出しが可能となる利点を有する

演算(OP.)の後は、再書き込み(RES.)が行われ、読み出しによって減少した強誘電体の残留分極が読み出し前の状態に戻される。この動作は、演算(OP.)動作における BL1 と BL2 の電位を入れ替えることで行う。読み出し直後に、読み出し時と反対の電位を加えることで、読み出し時に減少した残留分極を、回復することができる。

スタンバイ状態ではRLは”High”に設定される。強誘電体キャパシタ  $C_S, C_{S'}$  共に、両端がトランジスタを介して短絡され、同電位になるのために、安定に分極状態を保持することができる。

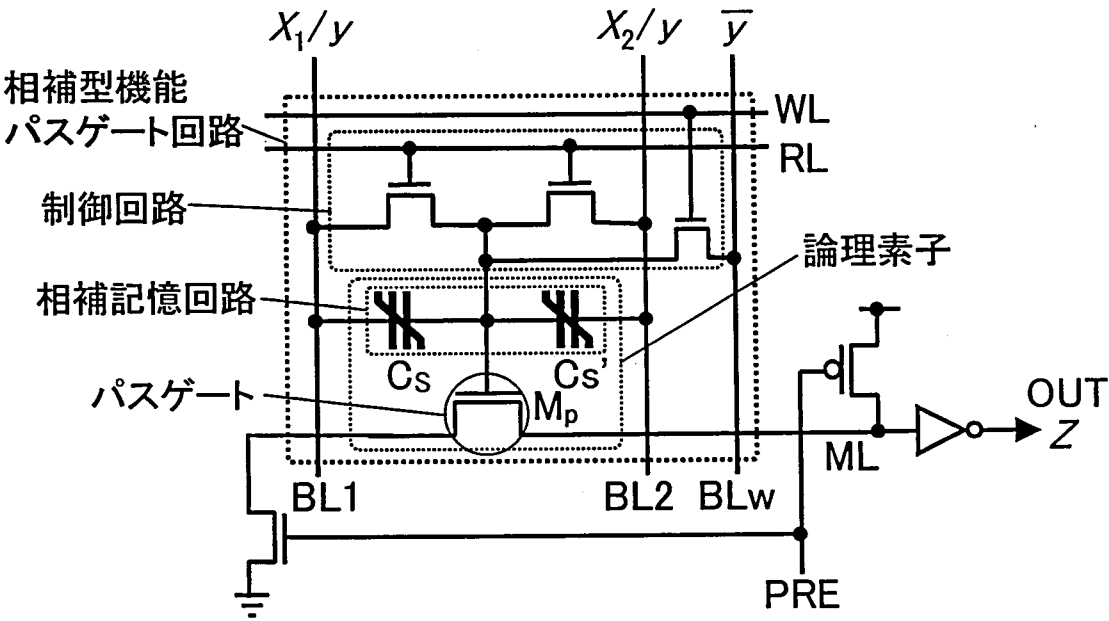


図 5.43 相補型機能パスゲートの回路図

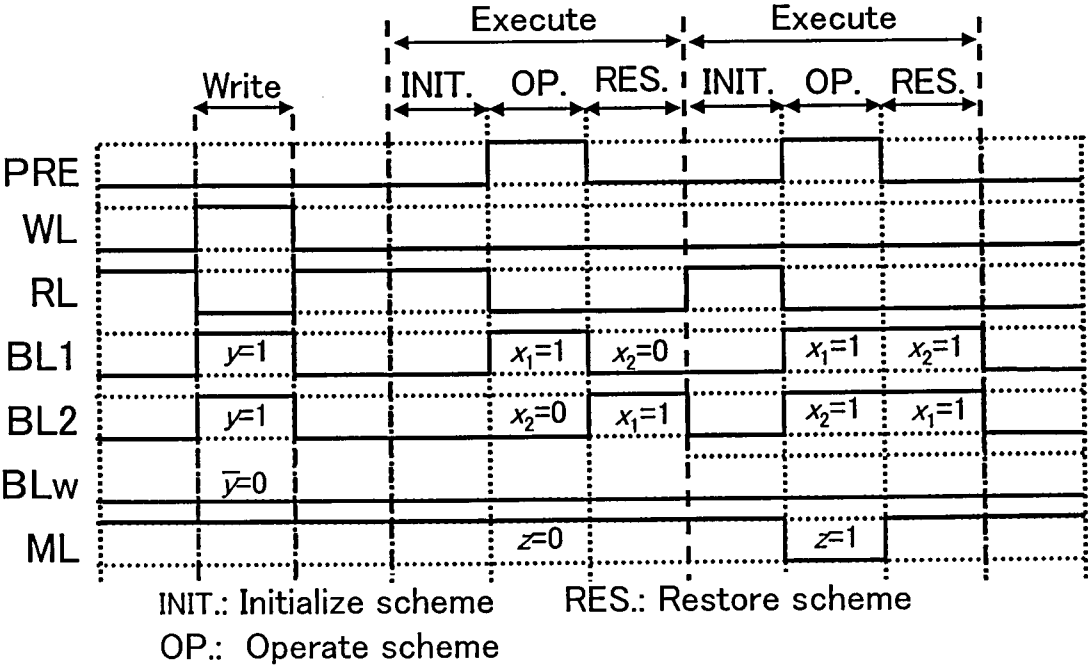


図 5.44 相補的機能パスゲートのタイミングチャート

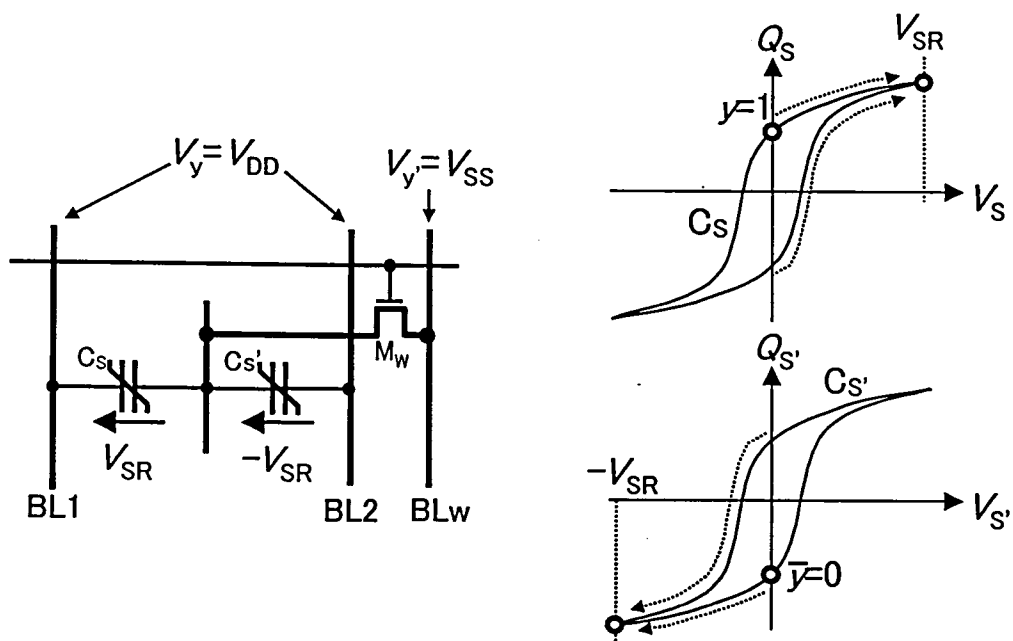


図 5.45 書き込みモード( $Y=1$ )における電圧印加方法

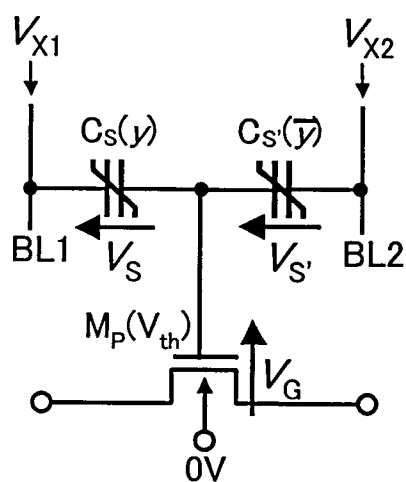


図 5.46 演算(OP.)での電圧印加方法

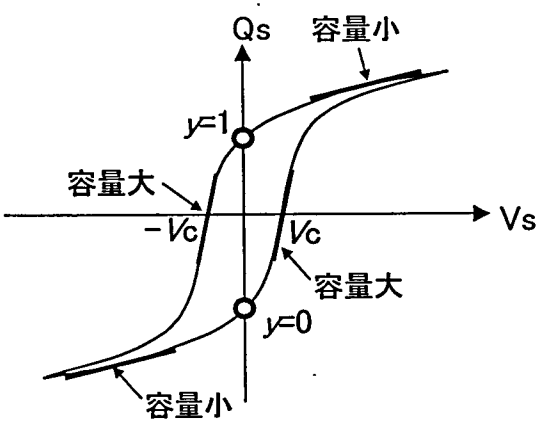


図 5.47 強誘電体キャパシタの容量

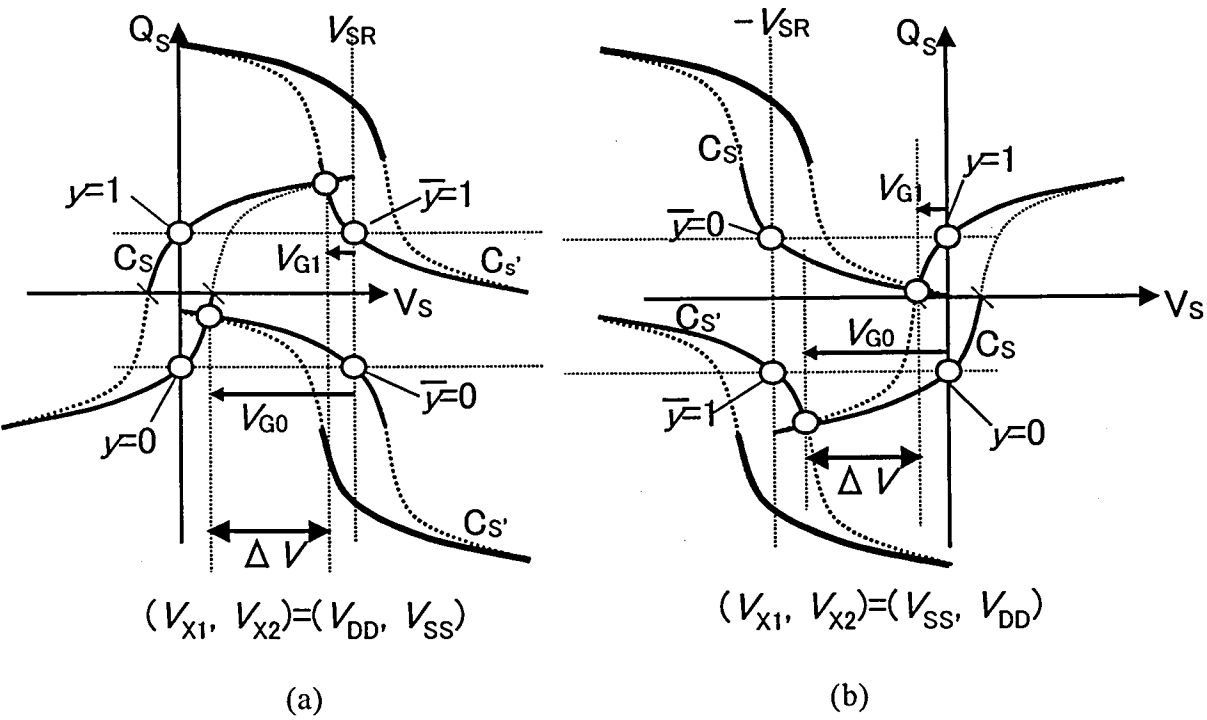


図 5.48 演算タイミングにおける相補強誘電体キャパシタの電圧分割

表 5-4 パスゲートのスイッチング状態

$Y \backslash$	$V_{X1} (X_1)$	0V (0)	0V (0)	$V_{SR}$ (1)	$V_{SR}$ (1)
	$V_{X2} (X_2)$	0V (0)	$V_{SR}$ (1)	$V_{SR}$ (1)	0V (0)
0		OFF (0)	ON (1)	ON (1)	ON (1)
1		OFF (0)	OFF (0)	ON (1)	OFF (0)



### 5.3.2 機能パスゲートの作製と評価

提案する機能パスゲートの動作を確認するため、同回路を試作して評価を行った。0.6 $\mu\text{m}$  ルールの CMOS プロセスと PZT 強誘電体キャパシタプロセスを使用した。図 5.49 に作製したテストチップの顕微鏡写真を示す。キャパシタ  $C_S$  および  $C_{S'}$  の面積は  $2.7\mu\text{m}^2$  で、1 組の機能パスゲート回路の大きさは  $9.2\mu\text{m} \times 8.6\mu\text{m}$  である。にテストチップを動作させたときの測定波形を示す。 $V_{DD}$  および  $V_{SS}$  はそれぞれ 3.1V, -0.4V としている。測定波形より、式(5-1)の  $F(X_1, X_2, Y)$  が 1 になるとき、ML の電位は”Low”に下がり、出力  $Z$  が”High”になる。このことは、 $F(X_1, X_2, Y)=1$  のときパスゲート  $M_P$  が導通状態になることを示しており、強誘電体を用いたスイッチング動作が正確に行われていることが確認できた。

図 5.51 に繰り返し演算(Execute)モードを行った際の、測定波形と、パスゲート  $M_P$  のゲート電圧  $V_G$  の変化を示す。保持データ  $Y$  が”0”および”1”の両方の場合で評価している。最初の  $10^2$  回の演算サイクルでゲート電圧は減少していく傾向が見られる。これは、容量結合で強誘電体にかかる電圧パルスによって、 $C_S$  および  $C_{S'}$  の不揮発性の電荷量が減少していくことによる。しかしながら、 $10^2$  回以降は  $V_G$  の値は変化せず、 $V_G$  の電圧差は 1V 以上の値を保っていることが確認できる。これにより、 $10^9$  回の演算サイクル後も正しい演算結果が得られている。つまり、 $10^9$  回の演算サイクル後も、強誘電体の保持データ  $Y$  は破壊されず、演算に利用できることが示された。また、 $V_G$  の変化からは、演算回数が増えても強誘電体の保持データは十分保持できると予測でき、実質的な非破壊読み出しが可能であると考えられる。

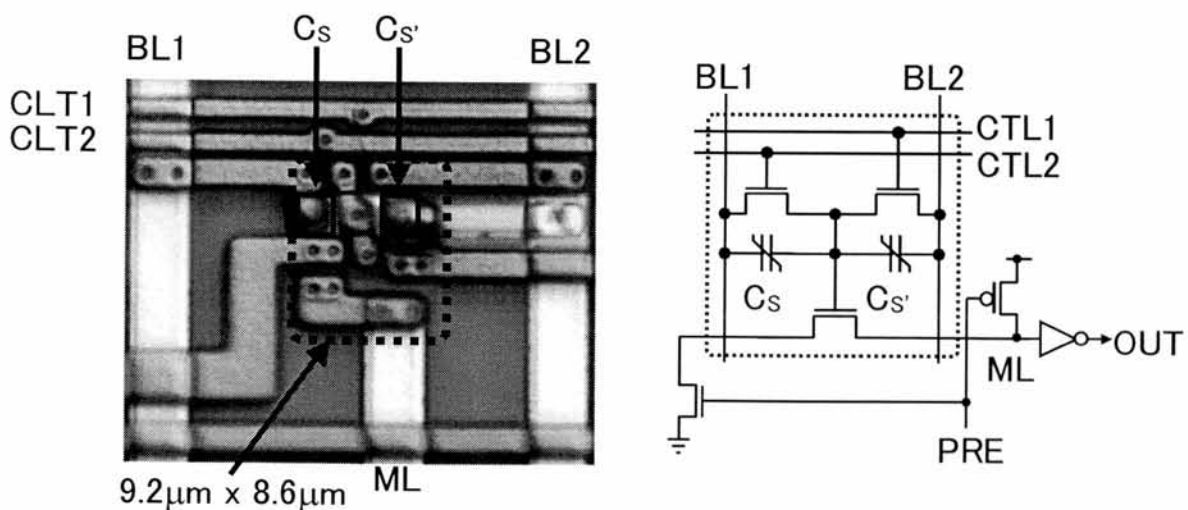
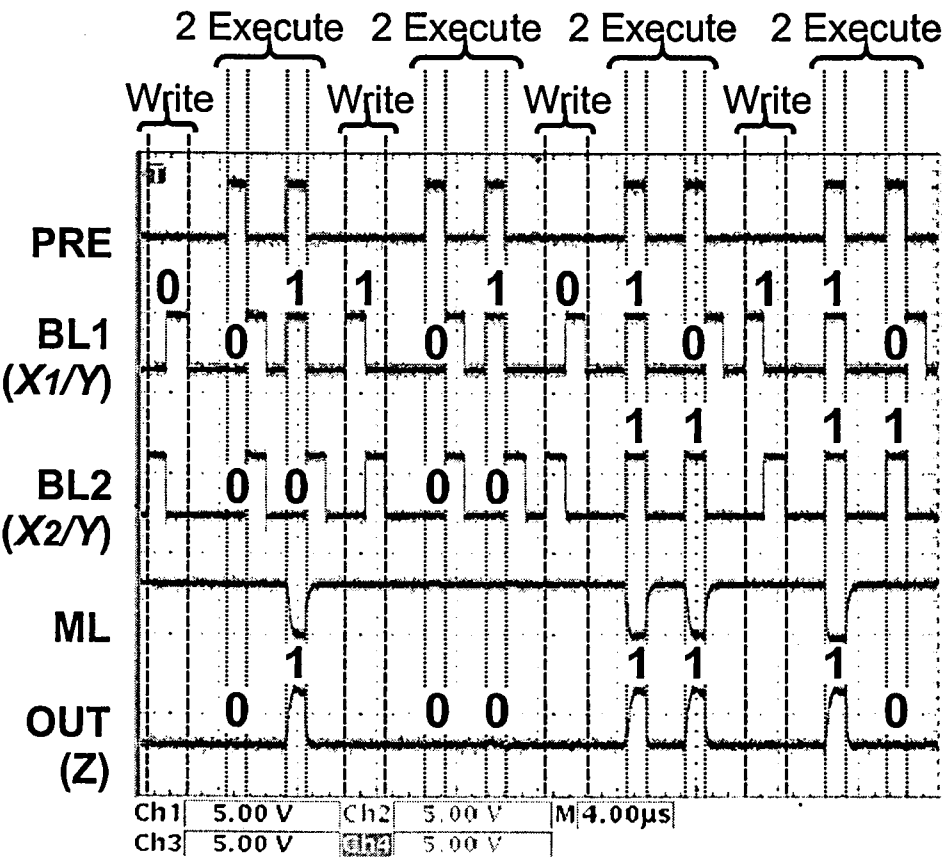


図 5.49 テストチップの顕微鏡写真

$\xleftarrow{X \cdot \bar{Y}} \quad \xrightarrow{X + \bar{Y}}$

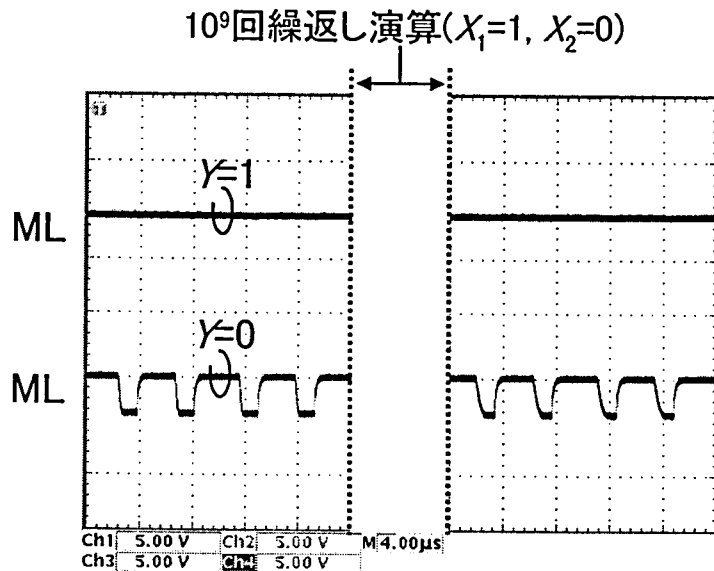
Mode.	Write	Execute (Op.)		Write	Execute (Op.)		Write	Execute (Op.)		Write	Execute (Op.)	
$X_1$	$\diagdown$	0	1	$\diagdown$	0	1	$\diagdown$	1	0	$\diagdown$	1	0
$X_2$	$\diagdown$	0		$\diagdown$	0		$\diagdown$	1		$\diagdown$	1	
$Y$	0	(0)	(0)	1	(1)	(1)	0	(0)	(0)	1	(1)	(1)
$Z$	$\diagdown$	0	1	$\diagdown$	0	0	$\diagdown$	1	1	$\diagdown$	1	0

(a)



(b)

図 5.50 テストチップの動作 (a)入力ベクトルと理論的输出  
(b)動作波形



(a) マッチライン(ML)の電位

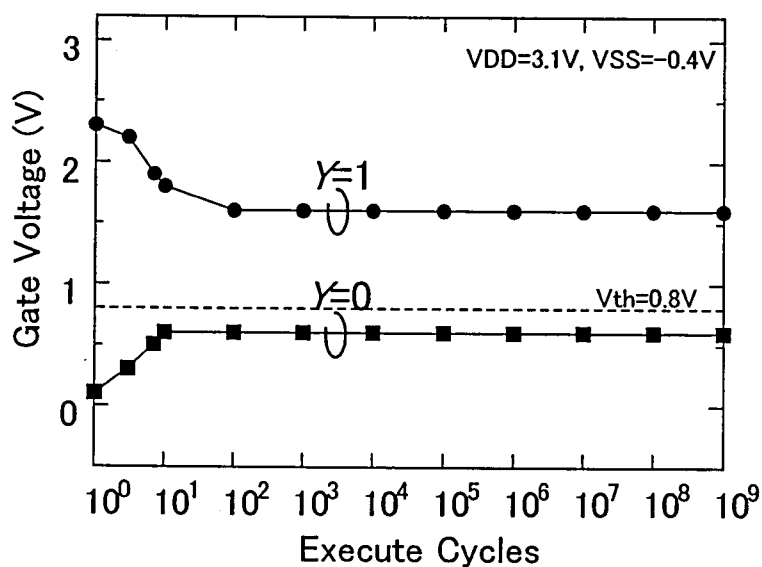
(b) パスゲートのゲート電位 ( $V_G$ )

図 5.51 繰返し演算に対する保持データの耐性 (a) ML の電位  
(b) パスゲートのゲート電圧

次に、相補型機能パスゲートを利用した応用例を示し、消費電力の削減効果等を検証する。応用例として、並列型 32 ビット連想メモリ(CAM: Content-Addressable-Memory)を設計した。図 5.52 に連想メモリの概略図を示す。連想メモリでは、記憶データであるワード  $Y_i$  (32 ビット) を多数保持しており、入力ワード  $X$  (32 ビット) が与えられた際に、入力ワード  $X$  と  $Y_i$  を各ワード回路内で並列に比較し、適合するもののアドレス  $i$  を出力する。ここでは、簡単のため一致検

索の連想メモリを例にとる。この場合、入力ワードと記憶ワードが一致している場合にその記憶ワードが保存されているアドレスを出力する。図 5.53 に連想メモリワード回路、図 5.54(a)、(b) にワード回路を構成するメモリセル回路と、その等価 CMOS 回路を示す。図 5.55 は連想メモリワード回路の基本動作である。まず、書き込みモードでは選択するワードのリセット線  $RL_i$  が Low に設定される。次に、相補的な電圧信号を印加し、 $Y_i$  を 2 つの強誘電体キャパシタに記憶データとして書き込む。非選択ワードの強誘電体キャパシタは両端が短絡されており、非選択ワード内の記憶データは保護される。演算モードではワード回路によって、一致検出演算が行われる。初めにビット線をプリチャージし、次の演算 (OP.) で各ビット線に入力ワードデータ(ここでは  $x_i$  および  $\overline{x_j}$ )を与えて一致検出演算を行う。入力ワード  $X_i$  と記憶ワード  $Y_i$  が一致している場合は、ML の電荷は放電されず“High”状態のままであり、 $Z_i=0$  の出力が得られる。最後に、再書き込み (RES.) を行うため各ビットラインの電圧を入れ替えて、強誘電体キャパシタに演算時にかかった電圧と逆の電圧を印加する。以上の動作により、実質非破壊のデータ一致検出演算を実現できる。スタンバイ状態では、すべてのリセット線 RL を High に設定しておく。

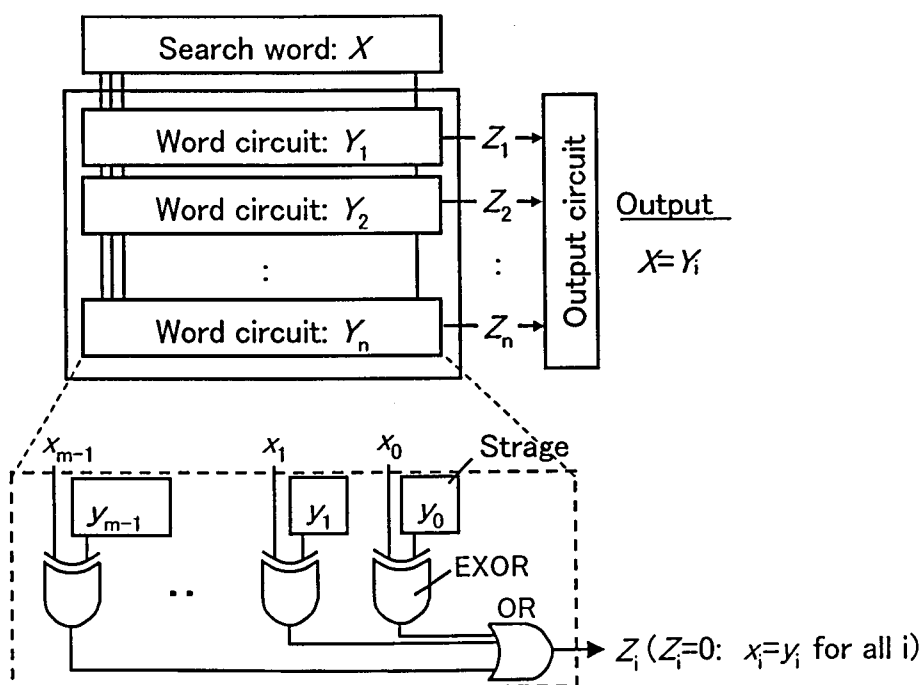


図 5.52 連想メモリの概略図

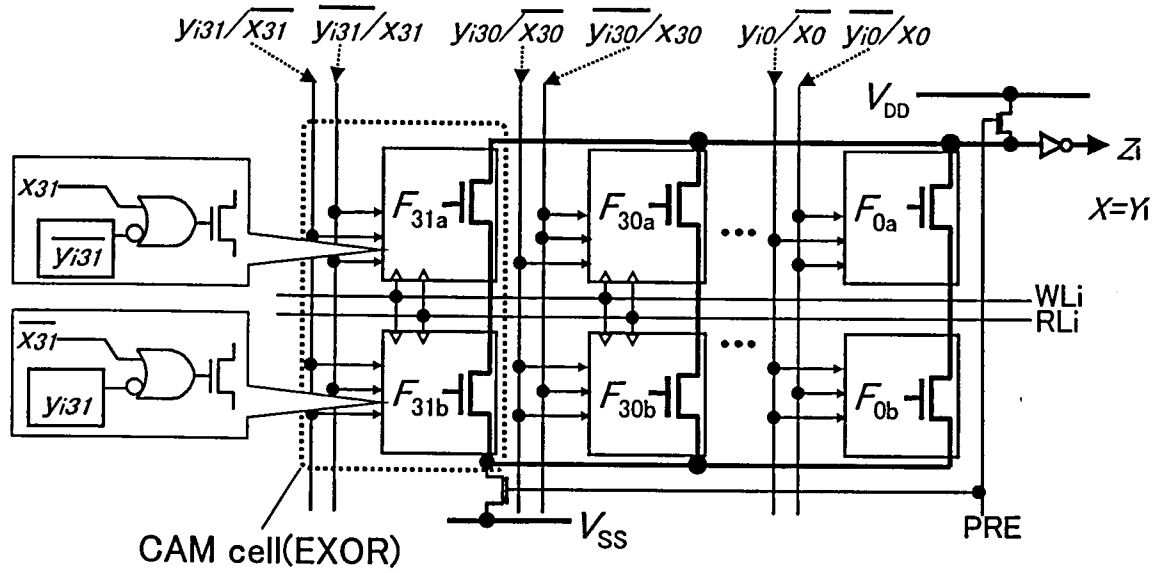
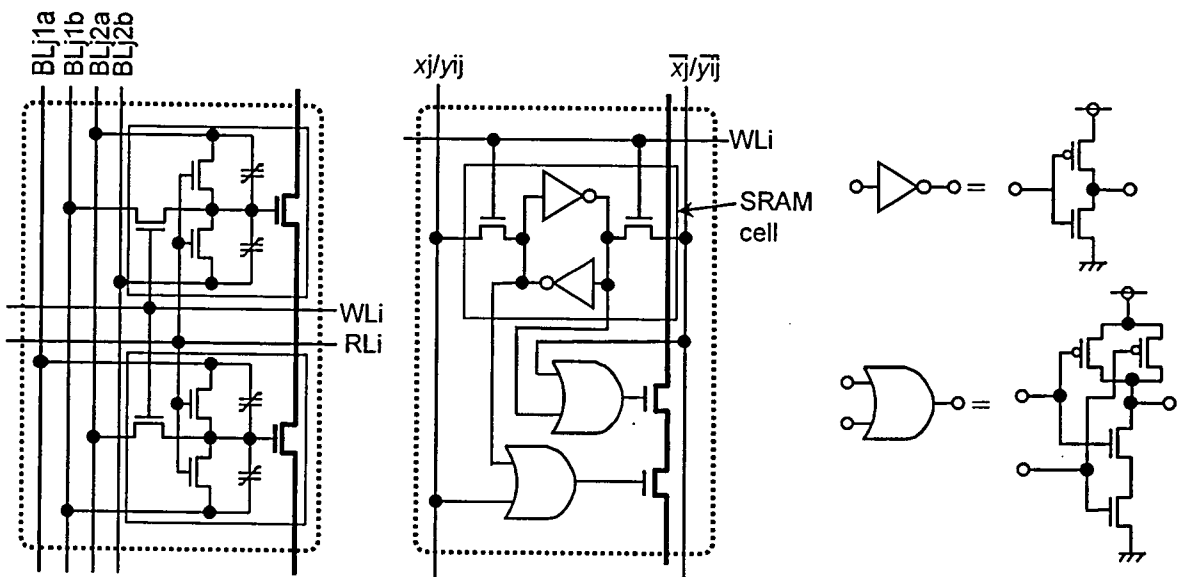


図 5.53 連想メモリワード回路



(a)相補強誘電体キャパシタロジック (b)等価 CMOS 回路

図 5.54 連想メモリセル回路

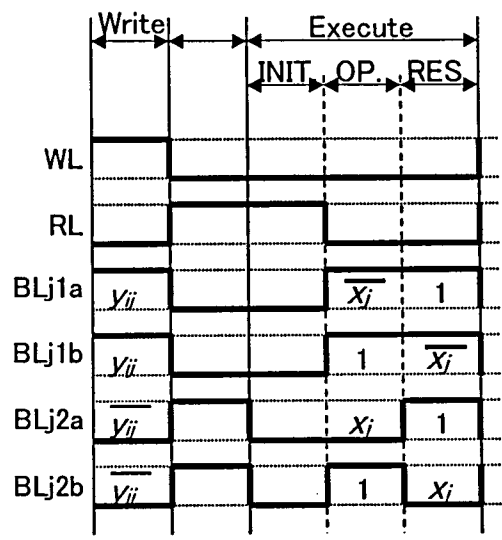


図 5.55 連想メモリワード回路の基本動作

表 5-5 に 32 ビット一致検索連想メモリの性能比較を示す。評価には HSPICE 回路シミュレータを用いた。チップ面積は、提案回路を用いることで、一般的な CMOS 回路と比較して、約 3 分の 1 と大幅に低減できている。これは、強誘電体キャパシタが記憶と演算の 2 つの機能を行っているためである。少ないトランジスタの数で連想メモリが実現できているために、動作時の消費電力も CMOS 回路と比較して約 3 分の 2 に削減可能である。さらに、この連想メモリは、演算を行わず、ワードのデータを記憶するときには、強誘電体の不揮発性を利用して、電源を供給する必要が無い。このために、待機時の消費電力は約 1/7700 と劇的に削減することが可能である。

連想メモリを使用する応用として、入力された映像から特定の人物を認識する処理を例にして考える。認識は 1 秒間に 1 回行うこととし、1 回の認識において上記の連想メモリに 100 回アクセスすると仮定する。1 回の認識において連想メモリにアクセスする時間は  $64\text{ns} \times 100 = 6.4\mu\text{s}$  である。実際に演算にかかる時間は僅かであるが、連想メモリの電源の立ち上げ立ち下げには 10ms 程度時間がかかる。したがって、1 回の認識に必要な時間は 20ms と考える。この場合、表 5-5 より人物認識に必要な時間平均した消費電力は

$$33.9\mu\text{W} \times \frac{20\text{ms}}{1000\text{ms}} + 0.0003\mu\text{W} \times \frac{98\text{ms}}{1000\text{ms}} = 0.34\mu\text{W}, \quad (5-2)$$

と求められ、通常の CMOS のみの回路での平均消費電力  $65.1\mu\text{W}$  と比較すると、およそ 200 分の 1 に消費電力が削減できる。

表 5-5 32ビット連想メモリの性能比較

		CMOS-based	Proposed
Supply voltage		2.5V	3.0V
Delay		63.4nsec	64.0nsec
Area/bit		418.8 $\mu\text{m}^2$	139.7 $\mu\text{m}^2$
Standby current/word		0.9 $\mu\text{A}$	0.0001 $\mu\text{A}$
Power/ word	Active	65.1 $\mu\text{W}$	39.9 $\mu\text{W}$
	Standby	2.3 $\mu\text{W}$	0.0003 $\mu\text{W}$

(HSPICE simulation using 0.6 $\mu\text{m}$  Ferroelectric/CMOS)

## 5.4 今後の課題と展望

本章では、強誘電体の論理演算回路への応用を提案した。さらに、その基本素子となる不揮発性ラッチ回路や機能パスゲートを実際し作製し、その特性を評価した。

今後は、これらのデバイスをLSIに適用し実用化していくことが目標となる。そのために残された課題として以下の事項が挙げられる。

1. 信頼性の向上
2. テスト方法の確立
3. シミュレータ等回路設計技術の確立

一部の大容量メモリでは、メモリチップに少数の不良ビットがあっても、冗長ビットで肩代りして、見かけ上全ビット動作するようにする、冗長回路が適用されている。これは、低コストの大容量メモリを供給する上で重要な技術となっている。しかし、論理演算回路においては、一つの論理ゲートがそれぞれ異なる役割を果たし、接続されている他のゲートもまちまちである。つまり、取替えが効かない場合が多く、メモリ以上に、高い信頼性を要求される可能性がある。これらを克服するには、材料開発は欠かせない。また、人間の脳では、壊れた神経細胞の機能を別の細胞が受け継ぐ自己修復の機能が見られる。このような機能をもたせるような回路技術のブレークスルーの開発も待たれる。

テスト方法に関しては、論理演算回路では、通常のラッチの記憶データテストをするのに、ラッチをチェーン状に並べ、シフトレジスタのように読み出す方法が使われる。しかしながら、

レジスタの数と回路規模が大きくなると、テストパターンは急激に増加し、現実的なコストでテストをすることが困難になりつつある。

シリコン集積回路は一つの LSI の中に、数千万個のトランジスタを集積化するまでに大規模化している。このような大規模回路を設計するには、Verilog に代表される論理合成ツールや、SPICE に代表される回路シミュレータを利用することが必須である。その際、不揮発性 RAM や不揮発性ロジックは、新しい概念のデバイスであるため、不揮発性ラッチを記述する方法や、強誘電体キャパシタの挙動を表すシミュレーションモデルが、未完成である。正確なシミュレーションモデルがあれば、回路設計者が強誘電体の動作を効率良く学習することもでき、大規模な回路への適用も進んでいくと予想される。



## 参考文献

- [1] P.K. Larsen, G.L.M. Kampschoer, M.J.E. Ulenaers, G.A.C.M. Spierrings and R. Cuppens: *Appl. Phys. Lett.* **59** (1991) 611.
- [2] T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu: *Integrated Ferroelectrics* **9** (1995) 179.
- [3] Y. Fujimori, T. Nakamura and H. Takasu: *Jpn. J. Appl. Phys.* **38** (1999) 5346.
- [4] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu and J. Yamada: *J. Solid-State Circuits* **30** (1995) No.8, 847.
- [5] H. Notani, M. Koyama, R. Mano, H. Makino and Y. Matsuda: *Dig. Symp. VLSI Circ.* (2001) 221.
- [6] K. Kumagai, H. Iwaki, H. Yoshida, H. Suzuki, T. Yamada and S. Kurosawa, *Dig. Symp. VLSI Circ.* (1998) 44.
- [7] T. Miwa, J. Yamada and H. Koike: *Dig. Symp. VLSI Circ.* (2001) 129.
- [8] S. Traynor: *Proc. 11th IEEE Int. Symp. Appl. Ferroelectr.* (1998) 15.
- [9] T. Kijima and H. Ishiwara: *Ext. Abst. FeRAM2001.* (2001) 67.
- [10] “The International Technology Roadmap for Semiconductors,” (Semiconductors Industry Association, 2001) 158.
- [11] H. Iwai: *J. Solid-State Circuits* **34** (1999) No.3, 357.
- [12] K. Soumyanath, S. Borkar, CC. Zhou and B. A. Bloechel: *J. Solid-State Circuits* **34** (1999) No. 5, 623.
- [13] 吉川公麿: “3GHz 超の MPU を実現する半導体設計”、日経エレクトロニクス、(2000 年 1 月) 137.
- [14] W. H. Kautz: *IEEE Trans. Computers* **18** (1969) No.8, 719.
- [15] T. Hanyu, N. Kanagawa and M. Kameyama: *J. Solid-State Circuits* **31** No.11 (1996) 1669.
- [16] H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu: *J. Solid-State Circuits* **39** No.6 (2004) 919.



## 第6章 結論

本研究はシリコン集積回路の高機能化を実現するため、強誘電体容量の材料、プロセス、回路からのアプローチを行った。以下に、本研究の結果をまとめるとともに今後の課題を述べ、結論とする。

### 6.1 本論文の結果のまとめ

第1章では本研究の背景について述べ、第2章では本研究で用いたゾルゲル法の特長、および強誘電体容量の評価法について述べた。

第3章ではFET型強誘電体メモリに適した強誘電体の検索を行った。バッファ層を用いるMFIS、MFMIS型強誘電体メモリは、強誘電体キャパシタとMOSFETが直列に接続された構成であるため、誘電率の大きな強誘電体キャパシタに印加される電圧が低くなり、分極反転させるのに必要な電圧を印加することが困難であった。この問題を解決するためには、誘電率が低い強誘電体材料を用いることが重要であることを示し、バルク強誘電体のデータベースを検索し、 $\text{SnP}_2\text{S}_6$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Gd}_2(\text{MoO}_4)_3$ 、 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$ の4種類の低誘電率強誘電体を候補とした。次に、シリコン集積回路として用いる場合には、高温側は $150^\circ\text{C}$ まで動作保証できなければならない。 $150^\circ\text{C}$ での信頼性保証をするためには、より高温での動作試験が必要であることから、 $250^\circ\text{C}$ で動作することを目標とした。そのためには、強誘電体が常誘電体に相転移する温度であるキュリー温度が、 $250^\circ\text{C}$ 以上である必要がある。4種類の強誘電体のうち $\text{Sr}_2\text{Nb}_2\text{O}_7$ (キュリー温度 $1342^\circ\text{C}$ )のみが、キュリー温度 $250^\circ\text{C}$ 以下という条件を満たすので、誘電体がFET型強誘電体メモリ材料として有望であるという結論に達した。 $\text{Sr}_2\text{Nb}_2\text{O}_7$ は、高い融点( $1700^\circ\text{C}$ )と高い耐還元性を備えており、高温や還元雰囲気になるシリコン集積回路作製プロセスに適用するのに適した材料であることを示した。しかしながら、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 系強誘電体材料は薄膜で強誘電性が確認されたことは無かった。組成制御性や再現性に優れるゾルゲル法を用いて、この系の強誘電体薄膜を作製したが、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 薄膜では強誘電性を発現することはできなかった。強誘電性が発現しない原因を、キュリー温度が高すぎる( $1000^\circ\text{C}$ 以上)ことと考え、キュリー温度を制御する方法を試みた。結晶構造が同じでキュリー点の低い( $-107^\circ\text{C}$ ) $\text{Sr}_2\text{Ta}_2\text{O}_7$ を $\text{Sr}_2\text{Nb}_2\text{O}_7$ に固溶させた。結果、 $\text{Sr}_2\text{Ta}_2\text{O}_7$ を60%以上混ぜた薄膜において、世界で初めて強誘電性の発現に成功した。Taの置換量が70%のとき、最適な強誘電

性が得られ、比誘電率は 53 であった。一般的な強誘電体薄膜と比較し 1桁低い誘電率を実現した。

第 4 章では、第 3 章で開発に成功した STN( $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$ )薄膜を用いて、FET 型強誘電体メモリセルを作製した。チャネル層となるシリコンに接するゲート絶縁膜にシリコン酸化膜を用いた MFMIS 構造の FET 型メモリを作製した。通常が多結晶シリコンをゲート電極とした MOS トランジスタの上に STN 強誘電体薄膜を作製することで、信頼性の高いメモリを作製することが可能となるが、MOS トランジスタが STN 強誘電体の構成元素で汚染されないことが条件である。STN 強誘電体の下部電極としては耐酸化性の高い Pt を用いるが、Pt は MOS トランジスタのゲートの多結晶シリコンと反応し、シリサイドを形成する。その際、元素の相互拡散が起こり、MOS トランジスタは Pt や STN の構成元素で汚染される。そこで、Pt と多結晶シリコンの間に導電性酸化物である  $\text{IrO}_2$  膜をバリア層として挿入した。Pt と多結晶シリコンの相互拡散が抑えられ、MOS トランジスタが汚染されていないことを、SIMS や B-T(Bias-Temperature)試験により確認した。

STN 薄膜を用いて MFMIS 構造を作製し、MFMIS 構造の容量-電圧( $C-V$ )特性を測定した結果、強誘電体分極に起因する  $C-V$  カーブのヒステリシスを確認することができた。

次に  $0.6\mu\text{m}$  の MFMIS FET を作製した。ウェハプロセスの最終であるパッシベーション工程まで行い、STN キャパシタのプロセスによる強誘電特性劣化を確認した。結果、STN 強誘電体は、メモリ作製プロセスによる特性劣化が無く、優れたプロセス耐性を備えていることを確認した。また、MFMIS FET のドレイン電流が直前に制御ゲートに印加した電圧に応じて変化する不揮発メモリ動作を確認した。

次に、データ保持特性を評価するために、STN キャパシタの周辺リークによる電荷損失が少ない MFMIS キャパシタを作製した。結果、FET 型の強誘電体メモリとして、世界で初めて 10 日以上データ保持を達成した。さらに、データ保持特性劣化の原因として、フローティングゲートから STN 薄膜のリークによる電荷損失のモデルを仮定した。STN 薄膜のリーク電流特性から予想されるデータ保持時間と作成した MFMIS キャパシタのデータ保持時間はほぼ一致した。FET 型強誘電体メモリで 10 日以上データ保持が可能であることを実証することができた。

第 5 章では、強誘電体の論理演算回路への応用を提案した。論理演算回路では、処理速度が最も重要であるので、残留分極が大きい強誘電体が適している。また、メモリと異なり、冗長回路による救済ができないことや、書き換え回数も多く( $10^{15}$  回以上)要求されることから、既存の高信頼性 PZT 薄膜に対して、書き換え回数を伸ばし、論理演算回路に適用できるように低電圧化( $5\text{V} \rightarrow 3\text{V}$ )することにした。はじめに、PZT の結晶化雰囲気減圧にすることで、PZT 薄膜の結晶化温度が下がり、Pb 抜けが抑えられるため、疲労特性が  $10^8$  回から  $10^{10}$  回

以上へと大きく改善されることを示した。また、PZT の結晶化プロセスで発生していた表面の異相を無くすため、上部電極を形成した後に PZT の結晶化を行う 2 段階アニールプロセスを行った。結果、PZT と上部電極界面にあった異相が無くなり、3V 以下の電源電圧で動作する強誘電体キャパシタが作製可能となった。

$10^{15}$  回以上の疲労特性を評価するため、疲労特性の温度依存性や電界依存性を評価した。疲労特性は電界により加速されることを確認した。高電界で測定した疲労特性から、作製した論理演算回路用 PZT 薄膜の疲労特性は、使用する電圧(3V)では  $10^{15}$  回以上の書き換え耐性を持つことを証明した。

次に、論理演算回路内の順序回路やレジスタに保持されているデータを、電源供給が無くても保持できるようにすることを目標とした。これが実現すれば、論理演算回路においても、頻繁に電源をオンしたりオフしたりできるため、消費電力を低く抑えることができる。論理演算回路内のデータ保持装置で最も基本的なラッチを不揮発にする方法を提案した。不揮発のラッチがあれば、フリップフロップやレジスタなど他の論理演算回路中の記憶・順序回路を不揮発にできる。通常のラッチに 2 つの強誘電体キャパシタと 1 本の制御信号を追加することで、ラッチを不揮発にすることが可能であることを、回路シミュレーションや実際のデバイス試作により確認した。

最後に、論理演算素子と記憶素子を、強誘電体の論理演算機能を用いて、少ない素子で実現する機能パスゲートを提案した。強誘電体による演算が実現できていることを作製したデバイスの評価で確認した。また、論理演算回路において重要な非破壊読み出しも、強誘電体キャパシタを 2 つ相補的に用いることで、実現できた。提案する機能パスゲートを用いることで、連想メモリの回路面積を 1/3 に縮小し、その平均消費電力を約 1/200 に低くできることを証明した。

## 6.2 今後の課題

今後、強誘電体を用いたメモリや論理演算回路が半導体市場のなかで大きな役割を果たすためには次の課題を克服する必要がある。

### 6.2.1 強誘電体メモリ

序論でも述べたように強誘電体メモリの集積度は、先行する DRAM や FLASH と比較して、3 桁程度低いのが現状である。メモリの市場は、集積度でほとんど決定され、集積度の低いメモリは特殊用途の小さな市場に限られる。DRAM とほぼ同じ構造を持つキャパシタ型強誘電体メモリは集積度で既存メモリに追いつくのは困難で、スケーリング則に乗る FET 型強誘電

体メモリでさえ、既存メモリの集積度向上が飽和しなければ追いつけない。メモリとして数%以上のシェアを確保するには、5年後に1Gビット程度の容量のメモリを開発する必要がある。

このような点を踏まえ、強誘電体メモリが既存メモリを置き換えるには、次の事項を積極的に開発すべきである。

- ① 多値化による高集積化
- ② 多層化による高集積化

多層化に関しては、低温で積層できる有機系の強誘電体薄膜を使用することは候補の一つに挙げられる。

### 6.2.2 強誘電体を用いた論理演算回路

論理演算回路で本提案の論理演算回路を用いるためには以下の開発事項が必要になる。

- ① 信頼性の向上
- ② テスト方法の確立
- ③ シミュレータ等回路設計技術の確立

これらは、設計者が安心して新しいデバイスを使用できる環境を整えることであるが、今後の地道なデータの積み重ねが必要となる。

さらに、本研究では論理演算回路にはPZT強誘電体キャパシタを用い分極反転を利用するキャパシタ型の論理演算回路をしたが、FET型の強誘電体メモリ素子を論理演算素子として用いることが考えられる。このようにすれば、メモリと論理演算回路で用いる強誘電体薄膜やデバイス、プロセスが同じものでできるため、混載メモリを低コストで開発することが可能になる。現状のFET型強誘電体メモリでは、記憶データである強誘電体分極を破壊しないために、読み出しの際のドレインに印加電圧を大きくすることができない(読み出しディスタurbという)。ドレイン電圧が低いということは、FETに流せる電流が小さく、駆動能力が低いことを意味する。論理演算回路では駆動能力が動作速度を決定するので、このことが、FET型強誘電体メモリ素子を論理演算回路に適用する際の障壁となっている。また、強誘電体キャパシタの低電圧動作化も課題である。

FET型強誘電体メモリ素子を論理演算回路に用いる際の課題を以下にまとめる。

- ① 駆動能力の向上
- ② 動作電圧の低減

具体的には、3年後を目処に電源電圧1.2Vで動作し、オン電流 $300\mu\text{A}/\mu\text{m}$ (単位ゲート幅あたりの電流)を満足するFET型素子を開発する必要がある。

今後、これらの課題の解決が待たれる。

# 本研究に関する業績

## 学術論文

- [1] **Y. Fujimori**, N. Izumi, T. Nakamura, A. Kamisawa and Y. Shigematsu: "Development of Low Dielectric Constant Ferroelectric Materials for the Ferroelectric Memory Field Effect Transistor," *Jpn. J. Appl. Phys.* **36** (1997) 5935.
- [2] **Y. Fujimori**, N. Izumi, T. Nakamura, A. Kamisawa: "Study of Ferroelectric Materials for Ferroelectric Memory FET," *IEICE Trans. Electron.* **E81-C** No.4 (1998) 572.
- [3] **Y. Fujimori**, N. Izumi, T. Nakamura and A. Kamisawa: " $\text{Sr}_2(\text{Ta,Nb})_2\text{O}_7$  Ferroelectric Thin Film for Ferroelectric Memory FET," *Integrated Ferroelectrics*, **21** (1998) 73.
- [4] **Y. Fujimori**, N. Izumi, T. Nakamura and A. Kamisawa: "Application of  $\text{Sr}_2\text{Nb}_2\text{O}_7$  Family Ferroelectric Films for Ferroelectric Memory Field Effect Transistor," *Jpn. J. Appl. Phys.* **37** (1998) 5207.
- [5] **Y. Fujimori**, T. Nakamura and A. Kamisawa: "Properties of Ferroelectric Memory FET Using  $\text{Sr}_2(\text{Ta,Nb})_2\text{O}_7$  Thin Film," *Jpn. J. Appl. Phys.* **38** (1999) 2285.
- [6] **Y. Fujimori**, T. Nakamura and H. Takasu: "Low-Temperature Crystallization of Sol-gel-derived  $\text{Pb}(\text{Zr,Ti})\text{O}_3$  Thin Films," *Jpn. J. Appl. Phys.* **38** (1999) 5346.
- [7] **Y. Fujimori**, T. Nakamura and H. Takasu: "Electrical Properties of Nonvolatile Latches for New Logic Application," *Integrated Ferroelectrics* **47** (2002) 71.
- [8] **Y. Fujimori**, T. Nakamura, H. Takasu, H. Kimura, T. Hanyu and M. Kameyama: "Ferroelectric Non-volatile Logic Devices," *Integrated Ferroelectrics* **56** (2003) 1003.

## 国際学会発表(本人登壇分)

- [1] **Y. Fujimori**, N. Izumi, T. Nakamura, A. Kamisawa: " $\text{Sr}_2(\text{Ta,Nb})_2\text{O}_7$  Ferroelectric Thin Film for Ferroelectric Memory FET," *Int. Symp. on Integrated Ferroelectrics*, (Mar. 1998, Monterey).
- [2] **Y. Fujimori**, T. Nakamura, A. Kamisawa: "Properties of Ferroelectric Memory FET using  $\text{Sr}_2(\text{Ta,Nb})_2\text{O}_7$  Thin Film," *Int. Conf. Solid-State Devices and Materials*, (Sep. 1998, Tokyo).

- [3] Y. Fujimori, T. Nakamura, H. Takasu: "Low Temperature Crystallization of Pb(Zr, Ti)O<sub>3</sub> Thin Films," *Int. Symp. on Integrated Ferroelectrics*, (Mar. 1999, Colorado Springs).
- [4] Y. Fujimori, T. Takeda, T. Nakamura, H. Takasu: "Low Voltage Operation of the Ferroelectric Pb(Zr, Ti)O<sub>3</sub> Capacitors Derived by Sol-gel method," *Int. Conf. Solid-State Devices and Materials*, (Sep. 1999, Tokyo).
- [5] Y. Fujimori, T. Takeda, T. Nakamura, H. Takasu: "Low Oxygen Pressure Crystallization of Pb(Zr, Ti)O<sub>3</sub> for Embedded FeRAMs," *Materials Research Society*, (Dec. 1999, Boston).
- [6] Y. Fujimori, T. Nakamura and H. Takasu: "Electrical Properties of Nonvolatile Latches for New Logic Application," *Int. Symp. on Integrated Ferroelectrics*, (Mar. 2002, Nara).
- [7] Y. Fujimori, T. Nakamura, H. Takasu, H. Kimura, T. Hanyu and M. Kameyama: "Ferroelectric Non-volatile Logic Devices," *Int. Symp. on Integrated Ferroelectrics*, (Mar. 2003, Colorado Springs).

#### 国内学会・研究会 (主著のみ)

- [1] 藤森敬和、泉直希、中村孝、神澤公、「Poly-Si 上に形成した Sr<sub>2</sub>(Ta,Nb)<sub>2</sub>O<sub>7</sub> 強誘電体キャパシタの電気的特性」、1997 年 秋季第 58 回 応用物理学会学術講演会 (1997)。
- [2] 藤森敬和、泉直希、中村孝、神澤公、「強誘電体+常誘電体キャパシタ直列接続の電気的特性」、1998 年 春季 第 45 回 応用物理学関係連合講演会 (1998)。
- [3] Y. Fujimori, N. Izumi, T. Nakamura and A. Kamisawa, "Application of Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> family ferroelectric films for ferroelectric memory FET," *Ferroelectric Materials and thier Applications*, (May. 1998, Kyoto).
- [4] Y. Fujimori, T. Nakamura, H. Takasu, "Low Temperature Crystallization of Sol-gel Derived Pb(Zr, Ti)O<sub>3</sub> Thin Films," *Ferroelectric Materials and thier Applications*, (May. 1999, Kyoto).
- [5] 藤森敬和、中村孝、高須秀視、「強誘電体キャパシタを用いた不揮発性ロジックの開発」、信学技報 IEICE Tech. Rep., ICD2002-10 (2002) 13.
- [6] 藤森敬和、中村孝、高須秀視、木村啓明、羽生貴弘、亀山充隆、「強誘電体不揮発性ロジック素子」、信学技報 IEICE Tech. Rep., SDM2003-268 (2003) 25.



## 受賞

- [1] 東北大学、ローム株式会社: LSI デザイン・オブ・ザ・イヤー2002 デバイス部門審査員特別賞 (半導体産業新聞社、2002 年 6 月)。
- [2] **Y. Fujimori**: IEEE MFSK Award (IEEE Japan Kansai chapter, Mar. 2004).